

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-352535

(P2002-352535A)

(43) 公開日 平成14年12月6日 (2002. 12. 6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	データベース (参考)
G 1 1 B 21/10		G 1 1 B 21/10	L 5 D 0 8 8
21/08		21/08	E 5 D 0 9 6

審査請求 有 請求項の数 5 O L (全 28 頁)

(21) 出願番号 特願2002-111737(P2002-111737)  
 (62) 分割の表示 特願平6-125123の分割  
 (22) 出願日 平成6年6月7日(1994. 6. 7)

(71) 出願人 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号  
 (72) 発明者 大場 一秀  
 山形県東根市大字東根元東根字大森5400番  
 2 (番地なし) 株式会社山形富士通内  
 (72) 発明者 佐藤 教司  
 山形県東根市大字東根元東根字大森5400番  
 2 (番地なし) 株式会社山形富士通内  
 (74) 代理人 100079359  
 弁護士 竹内 進

最終頁に続く

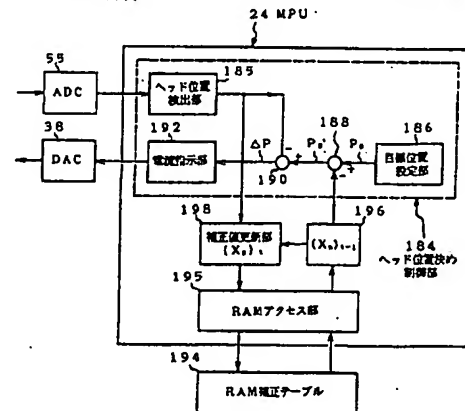
(54) 【発明の名称】 ディスク装置

(57) 【要約】

【目的】 オントラック制御の際に、リアルタイムで偏心補正値を測定して補正することで、温度変化による変動を吸収する。

【構成】 シリンダ上のセクタ領域にサーボ情報を磁気記録したディスク媒体と、ヘッド手段14の検出位置のトラック中心に対するヘッド位置をサーボ情報の読取信号から検出するヘッド位置検出手段185と、オントラック制御で求めた位置誤差を偏心補正値として記憶する補正テーブル手段194とを備え、ヘッド手段14を任意のシリンダに移動した後のオントラック状態で設定した目標位置から補正テーブル手段194の読出して得た前回の偏心補正値を差し引いた補正目標値からヘッド位置を差し引いて位置誤差を零とするようにヘッド手段14を駆動するとともに、ヘッド位置を前回の偏心補正値に加えて新たな偏心補正値を求めて補正テーブル194に格納する。

オントラック時にリアルタイムで偏心を測定して補正する本発明の実施例を示したブロック図



## 【特許請求の範囲】

【請求項1】 シリンド上のセクタ領域にサーボ情報を磁気記録したディスク媒体と、

前記ヘッド手段(14)の検出位置のトラック中心に対するヘッド位置(P)を、前記サーボ情報の読取信号から検出するヘッド位置検出手段(185)と、

オントラック制御で求めた位置誤差を偏心補正值(X)として記憶する補正テーブル手段(194)と、

前記ヘッド手段(14)を任意のシリンドに移動した後のオントラック状態で設定した目標位置(Po)から前

記補正テーブル手段(194)の読出しで得た前回の偏心補正值(X)<sub>t-1</sub>を差し引いて補正目標値を算出し、

該補正目標値(Po')から前記ヘッド位置(P)を差し引いて位置誤差(ΔP)を求め、該位置誤差(ΔP)を

零とするように前記ヘッド手段(14)を駆動するヘッド位置決め制御手段(184)と、

前記ヘッド位置(P)を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>を求めて前記補正テーブル

(194)に格納する更新手段(198)と、を備えたことを特徴とするディスク装置。

【請求項2】 請求項1記載のディスク装置に於いて、前記ヘッド位置決め制御手段(184)は、シリンドのセクタ単位に偏心補正值(X)<sub>t-1</sub>を用いた目標位置(Po)の補正および新たな偏心補正值(X)<sub>t</sub>への更新を

行うことを特徴とするディスク装置。

【請求項3】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)に1

以下の所定の係数を乗じた値を、前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項4】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項5】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、複数回に亘る回のヘッド位置(P)の平均値を、更新前の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項6】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項7】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項8】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項9】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項10】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項11】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項12】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項13】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項14】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項15】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

【請求項16】 請求項1記載のディスク装置に於いて、前記更新手段(198)は、今回のヘッド位置(P)が所定の限界値を越えた場合は、該限界値を前回の偏心補正值(X)<sub>t-1</sub>に加えて新たな偏心補正值(X)<sub>t</sub>とすることを特徴とするディスク装置。

帯型の通信端末で記憶容量を確保する外部記憶装置として小型ハードディスクが実装されている。このような小型ハードディスクは、例えば3.5インチや2.5インチといった小型のディスク媒体を使用し、しかも、ユニットを薄くするために1~2枚のディスク媒体を内蔵している。

【0003】 このため従来の大型のディスク装置のように、ヘッド位置決めのためのサーボ情報を記録した専用のサーボ面を設けることはできず、データ面にサーボ情報を記録したセクタサーボ方式を採用している。例えば

1シリンドを60セクタに分け、各セクタの先頭にサーボフレームを記録している。このサーボフレームは、サーボフレームを示すセクタマーク、シリンドアドレスを

検出するためのグレーコード、インデックスパターン(先頭セクタのみ)、リードアンプのAGCレベルを設定するAGCパターン、ヘッド位置を検出するためのサーボパターンが磁気的に記録されている。

【0004】

【発明が解決しようとする課題】セクタサーボ方式を採用したディスク装置にあっては、サーボフレームが短い程、セクタ内のデータ領域を大きくできることから、記憶容量を増加するためにはサーボフレームに記録する各

パターンを必要最小限に抑えることが望まれる。

【0005】 逆に、サーボフレームに記録したセクタマーク、グレーコード等のパターン検出の精度を高めるためには、1パターン当りのシリンド方向の記録ピッチを大きくする。例えばセクタマークは、「N0S0NS」の記録パターンとなり、基準クロックで決まる記録周期をTとすると、「16T, 16T, 10T, 10T」で

記録し、合計52Tの区間を必要とする。

【0006】 またセクタマークに続いて記録されるグレーコードは、例えば1ビット幅を6Tに定め「G12, G11, ... G0, GH」の14ビットをグレーコード「X000X000」で記録し、84Tの長さとなる。更にボジション領域として160T程度必要となる。この結果、サーボフレーム全体で196Tとなる。

【0007】 ここで1サーボフレーム間を3600Tとすると、サーボ領域は1トラックの5.4%を占め、セクタマーク及びグレーコードを短くすることで、記憶容量を増加できる。しかし、セクタマーク及びグレーコードを短くするとパターン検出精度が低下することから、限界があった。

【0008】 従って、本発明の目的は、検出率を低下させることなくセクタマーク及びグレーコードの記録領域を短くして記憶容量を増加できるディスク装置を提供する。

【0009】 一方、従来のセクタサーボ方式をとるディスク装置にあっては、ディスク媒体の偏心によるずれ値を測定し、オントラック制御の際に偏心補正を行っている。このための偏心補正值の測定は、予め決められた時

間毎に偏心補正のコマンドが発行され、トラック中心からのずれ値をRAM等に格納する。通常のオントラック制御時には、先に測定しておいたずれ値を目標位置から引いてオントラック制御することにより、いつもトラック中心にヘッドを位置付けることができる。

【0010】しかし、偏心補正值の測定は、決められた時間毎に行うため、測定と測定の間は、前回の測定値のままで補正が行われており、温度変化による偏心などに対処できない。

【0011】従って本発明の他の目的は、オントラック時に常に偏心量を測定しRAMに格納することで、ほぼリアルタイムで偏心補正ができるようにしたディスク装置を提供することにある。

【0012】更に、セクタサーボ方式を採用したディスク装置にあっては、シリンダ上に固定的にサーボフレームが記録されているため、基本的にはセクタサイズは固定となる。しかし、実際には固定セクタ長を越えたデータブロックや固定セクタ長に複数入るようなデータブロックを扱うことができるようにするため、セクタパルスの発生位置を可変できる可変セクタサイズとする必要がある。

【0013】このセクタサイズの可変は、データブロックサイズ以外に、欠陥セクタを無視して交替処理を不要とするためにセクタパルスの発生を禁止するスリップ処理、さらには、デジタル・エラーテストの際のサーボフレームに完全に同期したセクタパルスの発生などの様々な要求に対応しなければならない。

【0014】従って本発明の他の目的は、プロセッサによるコマンドで簡単にセクタパルスの発生を可変制御できるようにしたディスク装置を提供することにある。

【0015】本発明は、無駄な処理を削減し、精度向上のために必要な処理を重要視することで、小型化高密度化に最適なディスク装置を提供することを主目的とする。

【0016】

【課題を解決するための手段】図1は本発明の原理説明図である。尚、括弧内に実施例の符号を示す。

【0017】まず本発明のディスク装置は、図1(B)に示すように、同一シリンダ上にサーボ領域60とデータ領域62を備えたセクタ領域を複数設けたディスク媒体を使用するセクタサーボ方式をとる。ディスク媒体の各セクタのサーボ領域(サーボフレーム)60には、少くともサーボ領域を示すセクタマーク66、シリンダアドレスを示す符号コードであるグレーコード68、及びヘッド位置を検出する所定のサーボパターン74を磁気記録している。

【0018】ディスク制御手段24は、ヘッド手段14によるサーボパターン74の読取信号に基づいてヘッド位置を検出し、ヘッド手段14を任意のシリンダに位置決めして読み書きを行う。

【0019】サーボ領域に記録したセクタマーク66およびグレーコード68の検出は、読取信号のピークと極性の両方に基づいて検出する。図1(A)に示すピーク検出手段90は、ヘッド手段14で読み取ったセクタマーク66およびグレーコード68の読取信号のピークの時間間隔を検出してピーク検出パルスを出力する。極性検出手段92は、同じくヘッド手段14で読み取ったセクタマーク66及びグレーコード68の読取信号の極性を出して極性信号を出力する。

【0020】この場合、マーク又はパターンの磁気記録は、N極とS極を交互に記録していることから、例えばN極の読取りで正極性の読取信号が得られ、そのピークと極性が検出されると、次はS極の読取りで負極性の読取信号が得られてそのピークと極性が検出され、これを交互に繰り返す。

【0021】セクタマーク検出手段96は、ピーク検出手段90のピーク検出パルスと極性検出手段92の極性信号に基づいて、セクタマーク66を検出してディスク制御手段24に通知する。このためセクタマーク検出手段96は、ピーク比較手段104、極性比較手段114及びゲート手段122を備える。ピーク比較手段104は、セクタマークの読取期間に亘るピーク検出パルスの時系列であるピークシーケンスを、セクタマークの磁気記録に対応したピーク基準シーケンスと比較し、両者が一致した際にピーク一致信号を出力する。

【0022】極性比較手段114は、セクタマークの読取期間に亘る極性信号の時系列である極性シーケンスを、セクタマークの磁気記録パターンに対応した極性基準シーケンスと比較し、両者が一致した際に極性一致信号を出力する。ゲート手段122は、ピーク比較手段104と極性比較手段114の両方の一致信号が得られた際に、セクタマークの検出信号を出力する。

【0023】セクタマークの読取信号の中のいずれか1つが欠落しても検出可能なように冗長性をもたせる。このため、セクタマーク検出手段96は、セクタマークの磁気記録に一致する読取シーケンス信号、およびセクタマークの磁気記録の読取信号のいずれか1つが欠落した読取シーケンス信号毎に、ピーク比較手段、極性比較手段及びゲート手段を設け、複数のゲート手段のいずれか1つの一致信号に基づいてセクタマークの検出信号を出力する。

【0024】この場合、ディスク制御手段24によるビット設定で選択的に複数のゲート手段を有効とする制御レジスタ手段130を設ける。この制御レジスタ手段130に対しディスク制御手段24は、特定のシリンダに位置決めした後の最初のセクタマークの検出は、セクタマークの磁気記録に一致する読取シーケンス信号に基づく一致信号を出力するゲート手段104を有効とするビット設定を行う。

【0025】2回目以降のセクタマークの検出について

は、読取シーケンス信号に欠落があっても一致信号を出力する他のゲート手段を併せて有効とするように、制御レジスタ手段130にビット設定する。このためオントラック制御に入ってから最初のセクタマークの検出は、規定のパターンに完全に一致することが必要になるが、1度セクタマークが検出できた後は、パターンの1つが欠落しても読取エラーとせずに検出することができる。

【0026】グレーコードからシリンダアドレスを検出するためのシリンダアドレス検出手段（グレーコード検出手段）94も、ピーク検出手段90によるグレーコードのピーク検出パルスと、極性検出手段92によるグレーコードの極性信号に基づいて、グレーコードを検出すると共にシリンダアドレスを判別してディスク制御手段24に通知する。

【0027】シリンダアドレス検出手段（グレーコード検出手段）94は、ピーク検出パルスと極性信号に加え、ステータスカウンタを使用してシリンダアドレスを示すビット列を復元する。ステータスカウンタ手段138は、グレーコードの記録ビット長Nに基づくステータス状態を基準周期Tで繰り返し計数する。

【0028】例えば、ディスク媒体のサーボフレームに、アドレス1ビットにつき6Tの周期で「X00X00」のグレーコードを磁気記録した場合、シーケンスカウンタ手段138は、6つのステータス状態0、1、2、3、4、5を示すカウント0～5を基準周期（T）で繰り返し計数する。

【0029】このステータスカウンタ手段138は、6Tのグレーコード中のビット「X」の部分、即ちステータス0とステータス3のタイミングで、ピークおよび極性の両方が正しく検出されたことを条件に、強制的にステータス1状態となるカウント「100000」、およびステータス3状態となるカウント「000100」にプリセットされる。

【0030】即ち、第1プリセット手段140が、正極性の読取信号のピーク検出パルスとその極性信号の両方を検出した時に、ステータスカウンタ手段138をステータス0の状態にプリセットし、第2プリセット手段142が、負の読取信号ピーク検出パルスとその極性信号の両方を検出した時に、ステータスカウンタ手段138をステータス3の状態にプリセットする。

【0031】正極性の読取信号のピーク検出パルスとその極性信号の両方が得られた時の検出出力、またはステータスカウンタ手段138の第1ステータス状態の出力が第1ラッチ手段160にラッチされる。また負極性の読取信号のピーク検出パルスとその極性信号の両方が得られた時の検出出力、またはステータスカウンタ手段138の第2ステータス状態の出力が第2ラッチ手段164にラッチされる。

【0032】最終的に、第1及び第2ラッチ手段160、164の論理和をゲート手段166でとってアドレ

スビットを復元する。即ち、アドレスビット1を示すグレーコード「100100」の正常な読取りに対し第1、第2ラッチ手段160、164は「11」のステータス0、3シーケンスをラッチし、ビット1を復元する。またアドレスビット0を示すグレーコード「000000」の正常な読取りに対し、第1、第2ラッチ手段160、164は「00」をラッチし、ビット0を復元する。

【0033】更に、ビット1を示すグレーコード「100100」中のコード「1」に対応した読取信号のいずれか一方が欠落しても、他方が正常である限り、正常にビット1を復元できる。第1及び第2ラッチ手段160、164のラッチシーケンスは「01」又は「10」となり、いずれも正常にビット1を復元できる。

【0034】ビット0の連続に対応したグレーコードが続くと、ピーク及び極性検出が行われず、このためステータスカウンタ手段138はフリーランの状態に置かれ、誤動作する可能性がある。そこで、グレーコードの途中に、ステータスカウンタ手段138のプリセットを強制的に行わせるダミーコード「100100」を挿入している。

【0035】セクタサーボ方式の利点は、シリンダ単位にサーマルオフセット等に対する偏心補正ができることである。サーボ面サーボ方式の場合は、データ面のガードバンド領域などにわざわざサーボ情報を記録し、このサーボ情報からデータ面単位にずれ値を測定して補正している。これに対しセクタサーボ方式は、シリンダ単位に偏心ずれ値を測定して補正でき、ヘッド位置決め精度が高い。

【0036】しかし、一定の時間を置いた偏心測定による補正では、その間の温度変化による変動を補正できない。そこで本発明は、オントラック制御の際にリアルタイムで偏心補正を測定して補正する。

【0037】まずオントラック制御で求めた位置誤差を偏心補正值XとしてRAMなどの補正テーブル手段192に記憶している。ヘッド位置決め制御手段184は、ヘッド手段14を任意のシリンダに移動した後のオントラック状態で設定した目標位置（Po）から補正テーブル手段192の読出しで得た前回の偏心補正值（X）<sub>t-1</sub>を差し引いて偏心補正する。更に補正目標値（Po'）からヘッド位置（P）を差し引いて位置誤差（ΔP）を求め、この位置誤差（ΔP）を零とするようにヘッド手段14を駆動する。

【0038】更新手段198は、ヘッド位置（P）を前回の偏心補正值（X）<sub>t-1</sub>に加えて新たな偏心補正值（X）<sub>t</sub>を求めて補正テーブル194に格納する。ヘッド位置決め制御手段184は、シリンダのセクタ単位に偏心補正值（X）<sub>t-1</sub>を用いた目標位置（Po）の補正および新たな偏心補正值（X）<sub>t</sub>への更新を行う。

【0039】更新手段198は、今回のヘッド位置

(P)に1以下の所定の係数を乗じた値を、前回の偏心補正值(X)  $t-1$ に加えて新たな偏心補正值(X)  $t$ とする。また今回のヘッド位置(P)が所定の限界値を越えた場合は、限界値を前回の偏心補正值(X)  $t-1$ に加えて新たな偏心補正值(X)  $t$ とする。更に、複数回に亘る回のヘッド位置(P)の平均値を、更新前の偏心補正值(X)  $t-1$ に加えて新たな偏心補正值(X)  $t$ としてもよい。

【0040】更に、セクタサーボ方式をとるディスク装置にあっては、物理的なサーボフレームを意識することなく、論理的にセクタパルスが発生してセクタサイズを可変する必要がある。

【0041】そこで本発明のディスク装置にあっては、サーボ領域60の検出結果に基づいて、ディスク制御手段24での読み書きを有効とするセクタパルスが発生するパルス発生手段226に加え、サーボ領域60の検出時点からセクタパルス発生までの時間を設定するレジスタ手段216と、サーボ領域60の検出時点からの経過時間が前記レジスタ手段216の設定時間に到達したことを検出してパルス発生手段226にセクタパルスを発生させる一致検出手段224を設ける。

【0042】更に、レジスタ手段216を複数設け、この中の1つをセレクト手段222より選択して設定時間を一致検出手段214に供給する。これによって次のサーボ領域60の検出まで間に、複数のセクタパルスを発生することができる。

【0043】またセクタ領域内でのセクタパルスの発生を禁止した場合は、レジスタ手段16に、次のサーボ領域60の検出までの時間を越える時間、例えばレジスタ最大値を設定する。さらに、サーボ領域60の終端検出に同期してセクタパルスの発生する場合は、レジスタ手段216に零時間を設定する。

【0044】

【作用】このような本発明のディスク装置によれば次の作用が得られる。

【0045】まずサーボフレームに記録したセクタマーク及びグレーコードの検出に、読取信号のピーク検出に加えて極性検出を加えたことで、短い記録長であっても、確実にセクタマークおよびグレーコードを検出することができる。このため検出率を低下させることなくパターン記録長を低減でき、セクタサーボのフォーマット効率を高めて記憶容量を増加できる。

【0046】またオントラック制御におけるセクタサーボを利用した偏心補正がリアルタイムで実現できるため、温度変動に対するトラッキングの制御精度を大幅に向上でき、トラッキング記録密度を十分に高めてもエラーを起すことなく、リード又はライトできる。

【0047】更に、物理的なセクタサーボ情報に拘束されることなく、任意のセクタ長となるようにセクタパルスを発生でき、ブロックデータを分割したスプリット記

録、不良セクタのスリップ処理、デジタル・エラーテストの際の固定的なセクタパルスの発生など、任意のタイミングで必要に応じて簡単にセクタパルスを発生することができる。

【0048】

【実施例】＜目次＞

1. ハードウェア構成
2. サーボフレーム
3. セクタマークの検出
4. グレーコードの検出
5. リアルタイム偏心補正
6. セクタサイズの変換制御

【0049】1. ハードウェア構成

図2は本発明のディスク装置の全体的な構成例を示す。図2において、本発明のディスク装置はディスクエンクロージャ10とドライブコントローラ12で構成される。本発明のディスク装置は、例えば2.5インチのディスク媒体を3枚用いた小型ディスク装置を例にとっている。ディスクエンクロージャ10には3枚のディスク媒体の6つのデータ面に対応してヘッド部14-1~14-6が設けられ、ヘッド部14-1~14-6はヘッドアームの先端に設けられ、ディスク媒体の半径方向に移動自在に支持されている。

【0050】ヘッド部14-1~14-6の各々には、リードヘッド15-1~15-6とライトヘッド16-1~16-6が一体に設けられている。ライトヘッド16-1~16-6としては磁気ヘッドを使用し、またリードヘッド15-1~15-6としては磁気抵抗素子を用いたMRヘッドを使用する。リードヘッド15-1~15-6およびライトヘッド16-1~16-6を備えたヘッド部14-1~14-6はヘッドIC回路18に接続され、ヘッド切替え、MRヘッドを用いたリードヘッド15-1~15-6に対する直流バイアスなどを受ける。またディスクエンクロージャ10には、ディスク媒体を回転するスピンドルモータ22と、ヘッド部14-1~14-6を位置決めするためのボイスコイルモータ(以下「VCM」という)20が設けられている。

【0051】ドライブコントローラ12は、ディスクエンクロージャ10のケースに一体に組み付けられるプリント基板上に実装される。ドライブコントローラ12には各種の処理手段として機能するMPU24が設けられる。MPU24のバス58に対しては、プログラムメモリとして使用する読出専用のEPROM26、読み書き可能なDRAM28が設けられる。

【0052】EPROM26にはディスク装置の電源投入に伴う立上げ時に使用する立上げプログラム(ブートプログラム)が固定的に格納されている。DRAM28には、EPROM26の立上げプログラムによるディスク装置の立上げ完了後に、ディスクエンクロージャ10側のディスク媒体からダウンロードされた制御プログラ

ム（マイクロプログラム）が格納される。

【0053】MPU24のバス58には更に、インタフェース回路30、データ転送用のバッファメモリ32が設けられる。インタフェース回路30としては例えばS C S Iが使用され、本発明のディスク装置を実装した例えばノートブック型コンピュータをホストコンピュータとして、ホストコンピュータに対する外部記憶装置として必要なコマンドおよびデータのやり取りを行う。更に、キャッシュコントローラ31とキャッシュメモリ33が設けられる。

【0054】ディスクエンクロージャ10に設けられたスピンドルモータ22の制御は、PWM回路34およびドライバ36により行われる。また、ディスクエンクロージャ10に設けたVCM20のヘッド位置決め制御は、DAコンバータ38およびドライバ40で行われる。いずれの場合も、MPU24によるプログラム制御でスピンドルモータ22の駆動およびVCM20の位置決め制御が行われる。

【0055】ドライブコントローラ12にはリードライト系としてAGCアンプ42、イコライザ回路44、最尤検出回路46、エンコーダ/デコーダ50、ハードディスクコントローラ52が設けられる。更にヘッド位置制御のためのサーボ系として、ピークホールド回路54、ADコンバータ55およびサーボフレーム復調回路56が設けられる。

【0056】リード動作の際には、ハードディスクコントローラ52からの切替信号でヘッドIC回路18がリードヘッド15側に切り替えられ、リードヘッド15からのアナログリード信号がAGCアンプ42に入力する。アナログリード信号はAGCアンプ42で増幅された後、イコライザ回路44で波形等化が施され、最尤検出回路46およびVFO回路48に与えられる。VFO回路48は、リード動作の際には読取信号に同期した基準クロックを発生する。

【0057】最尤検出回路46およびVFO回路48の出力は、リード状態でデコーダ側に切り替わっているエンコーダ/デコーダ50に与えられ、リードデータをクロック同期を取りながら復元し、ハードディスクコントローラ52でフォーマット処理を施した後、バッファメモリ32に転送される。その後、インタフェース回路30を介して上位装置にリードデータの転送が行われる。

【0058】一方、ライト動作にあっては、インタフェース回路30を介してバッファメモリ32に転送されたライトデータを、ハードディスクコントローラ52を経由して、ライト動作の際にエンコーダに切り替わっているエンコーダ/デコーダ50に供給する。エンコーダ/デコーダ50は、例えばライトデータを2-7ランレングス符号などへの変換やECCチェックコードの付加などを行った後、ヘッドICを経由してライトヘッド16に供給する。ディスクエンクロージャ10に設けられた

ディスク媒体には、セクタサーボ方式に従ったサーボ情報が記録されている。

【0059】2. サーボフレーム

図3は本発明のディスク媒体における1シリンダ分のフォーマットを示している。図3において、直線上に延ばして示した1シリンダ分の記録領域は、例えば60セクタに分割されており、各セクタの先頭にサーボフレーム60-0~60-59を設け、その後ろをデータフレーム62-0~62-59としている。この60セクタに分割された1シリンダの長さは、基準クロックを用いて所定クロック数で固定的に定義され、例えば21600Tとなる。

【0060】サーボフレーム60-0は下側に拡大して示すように、R/Wリカバリ領域64、セクタマーク領域66、グレイコード領域68、インデックス領域70、AGC領域72、サーボ領域74およびギャップ領域（パッド領域）84で構成される。各領域の長さは基準クロック周期Tを用いて表すことができる。即ち、R/Wリカバリ領域64は123Tの長さ、セクタマーク領域66は18Tの長さであり、従来、54Tとしていた場合に比べると十分に短い。

【0061】インデックス領域70は6Tであり、サーボフレーム60-0~60-59の中の先頭のサーボフレーム60-0についてのみインデックスパターンの記録が行われている。AGC領域72は45Tの長さである。サーボ領域74は96Tの長さをもつ。本発明のセクタサーボにあっては例えば2相サーボ方式を採用していることから、サーボ領域74は24Tずつの第1フィールド76、第2フィールド78、第3フィールド80および第4フィールド82に分けてサーボパターンが記録されている。

【0062】最後のギャップ領域84は18Tの長さである。このためサーボフレーム60-0としては402Tで良く、従来に比べ大幅に記録長が低減できている。この記録長の低減は、後の説明で明らかにする読取信号をピーク検出に加えて極性検出も行うようにしたこと起因する。尚、残りのサーボフレーム60-1~60-59についても、インデックス領域70に磁気記録を行っている以外は同じになる。

【0063】図4は図3に示したサーボフレーム60-0の読取信号を示している。図4において、先頭のR/Wリカバリ領域64にあっては、3T間隔でN極とS極の磁気記録が交互に行われており、その結果、読取信号はN極の読取信号がマイナス側の極性をもつ読取信号となり、N極の読取信号がプラス側に極性をもつ読取信号となる。即ち、R/Wリカバリ領域64については3Tを1単位として41個の磁気記録が行われている。

【0064】次のセクタマーク領域66の磁気記録は6T、6T、3T、3Tで、「N、S、N、S」のパターンを磁気記録している。ここで基準クロックの周波数を

20MHzとすると、クロック周期 $T=0.05\mu s$ となり、したがって18Tのセクタマーク領域66の時間は $0.9\mu s$ となる。

【0065】次のグレーコード領域68は、この実施例にあっては第1フィールド68-1、第2フィールド68-2および第3フィールド68-3の3つに分けている。グレーコードは、この実施例にあってはコードビットG12~G0にハーフビットGHを加えた14ビットで構成される。

【0066】1ビットのグレーコード例えばグレーコードG12は6Tで記録されており、したがってビット1のグレーコードGnにあっては「100100」として6Tに亘り記録されている。勿論、ビット0の場合には「000000」の磁気記録となる。グレーコード領域の第1フィールド68-1には、G12~G8の5つのグレーコードが記録される。第1フィールド68-1と第2フィールド68-2の間にはビット1に対応する擬似的なグレーコード「100100」を記録した6Tの長さをもつダミーフィールド86が設けられている。

【0067】このダミーフィールド86は、後の説明で明らかにするグレーコード検出回路で使用しているステータスカウンタに対しビット0が連続したときに強制的にプリセット同期を行わせるための機能をもつ。グレーコード領域の第2フィールド68-2には、同じく5つのグレーコードG7~G3が6T間隔で記録される。続いて、同じくダミーコードを記録したダミー領域88を介して第3フィールド68-2には、残り4つのグレーコードG2~GHが記録される。

【0068】インデックス領域70は6Tの長さを持ち、図3に示したように、先頭セクタのサーボフレーム60-0についてのみ「100100」のパターンが6Tで記録される。それ以外のセクタについては「000000」のパターンとなる。

【0069】次のAGC領域72は、図2のドライブコントローラ12に示したAGCアンプ42の基準レベルを決めるために使用するパターンであり、3T単位に全て「100」となるパターンを記録し、振幅情報を得るようにしている。

【0070】続いてサーボ領域となり、サーボ領域は第1フィールド76、第2フィールド78、第3フィールド80および第4フィールド82に分けられ、それぞれ3Tで「100」となる磁気記録を8つずつ繰り返している。このサーボ領域のパターンも振幅情報を得るための磁気記録である。最後はギャップ領域84であり、続くデータフレームとの間のギャップを与えるパッドパターンとして「100」を3Tで6個記録している。

【0071】図5は、図3および図4のサーボ領域74におけるサーボ情報の記録状態とその読取信号に基づく位置検出信号の生成を示している。

【0072】図5(A)はディスク媒体の最インナ側の

サーボフレームを半径方向に複数取り出して示しており、物理シリンダはインナ側から00, 01, 02, 03...と、アウト側に向かうにつれて増加している。また、インナ側の所定数のシリンダはストップ吸収エリア90に割り当てられており、物理シリンダアドレスは全て0となっている。ストップ吸収エリア90の次の物理シリンダアドレス00が本来の先頭シリンダアドレスとなる。

【0073】グレーコード領域68およびAGC領域70に続くサーボ領域74は、A, B, C, Dで示す第1~第4フィールドに分けられ、最後にギャップ領域84が設けられる。サーボ情報は第1および第2フィールドA, Bと、第3および第4フィールドC, Dに分けられる。第1フィールドAと第2フィールドBは、破線で示すトラック中心を境に交互に記録されている。これに対し第3および第4フィールドC, Dは、実線のトラック境界ごとの1シリンダ単位に同じく交互に記録されている。

【0074】更に、第1フィールドAと第3フィールドCの間には0.5シリンダのディスク半径方向のずれがあり、同様に第2フィールドBと第4フィールドDの間にも半径方向で0.5シリンダ分の位置ずれをもたせている。リードヘッド15は例えば図示のように、シリンダアドレス00の破線で示すトラック中心にオントラック制御される。

【0075】このシリンダアドレス00にオントラック制御された状態でリードヘッド15より得られる読取信号は、図5(B)~(E)のそれぞれの点b~eに示す電圧となる。これらの電圧はリードヘッド15の読取信号のピークホールドで得ることができる。

【0076】図5(F)は第1フィールドAと第2フィールドBの読取信号から得られるヘッド位置信号ENを示し、図5(G)は第3および第4フィールドC, Dから得られるヘッド位置信号EQを示している。図5

(F)のヘッド位置信号ENは、第1フィールドAの読取信号EAから第2フィールドBの読取信号EBを差し引いて得られる。

【0077】また図5(G)のヘッド位置信号EQは、第3フィールドCの検出信号ECから第4フィールドDの検出信号EDを差し引いて得られる。リードヘッド15が図示のようにシリンダアドレス00にオントラック制御された状態で、第1および第2フィールドA, Bの検出信号EA, EBがb点, c点に示すように得られ、これに対し第3および第4フィールドC, Dの検出信号EC, EDはd点, e点に示すように一定レベルとなっている。

【0078】そして、シリンダアドレス00のトラックセンタを中心としたリードヘッドの半径方向(図の上下方向)の移動に対し、第1および第2フィールドA, Bの検出信号EA, EBのみが変化し、したがって図5

(F) のようにヘッド位置信号 EN が変化する。これに対し第3および第4フィールド C, D の検出信号 EC, ED は一定であり、このため図5 (E) のヘッド位置信号 EQ も一定となっている。

【0079】したがって、シリンダアドレス00を中心としたリードヘッド15のヘッド幅の範囲にあっては、図5 (F) のヘッド検出信号 EN を使用する。これに対し、リードヘッド15が例えばシリンダアドレス00と01の境界に入ってくると、第3および第4フィールド C, D に基づく図5 (G) のヘッド位置検出信号 EQ が有効となる。

【0080】そこで図5 (F) (G) に示すように、リードヘッド15の位置に応じ2つのヘッド位置信号 EN, EQ を切り替えて使用することで、リードヘッド15の移動に対しヘッド位置に応じて変化する不感帯のないヘッド位置検出信号を得ることができる。以上が2相サーボ方式に従ったパターン記録とヘッド位置の検出である。勿論、本発明のサーボ情報としては2相サーボに限定されず、適宜のサーボ情報の記録形態をとることができる。

### 【0081】3. セクタマークの検出

図6は図2のドライブコントローラ12に設けたサーボフレーム復調回路56の実施例を示す。図6において、サーボ復調回路54にはピーク検出回路90と極性検出回路92が設けられる。ピーク検出回路90と極性検出回路92には図2のイコライザ回路44からの読取信号が入力される。ピーク検出回路90は、図4に示したようなサーボフレームの読取波形のピークタイミングを検出してピーク検出パルス E1 を検出する。

【0082】極性検出回路92は図4に示した読取信号の極性を検出して極性信号 E2 を出力する。この極性信号 E2 は、プラスの極性で論理レベル1、マイナスの極性で論理レベル0となったパルス信号である。同期化回路94はピーク検出パルス E1 および極性信号 E2 のそれぞれについて、図2のVFO回路 (又はオシレータ) 48より得ている基準クロック CLK を使用して同期化を行う。同期化済みのピーク検出パルス E3 はセクタマーク検出回路96に与えられ、セクタマークの検出処理が行われる。

【0083】同時に、同期化済みの極性信号 E4 はグレーコード検出回路98に与えられ、グレーコードからシリンダアドレスのビット列を復調するグレーコード検出処理が行われる。セクタマーク検出回路96のセクタマーク検出信号はグレーコード検出回路98に与えられ、サーボフレームの開始タイミングを知らせる。

【0084】同様に、セクタマーク検出信号 E5 は MPU 24にも与えられ、MPU 24にあってはサーボフレームの各領域の管理に使用するカウンタをリセットして基準クロックの係数を開始し、このカウンタの値をチェックすることで、図3に示したサーボフレームの各領域

を認識することができる。更に、セクタマーク検出信号 E5 はセクタパルス発生回路100に与えられ、セクタマークの検出時点を基準に任意のタイミングでセクタパルス E9 を発生する。

【0085】グレーコード検出回路98からは MPU 24に検出結果としてグレーコード G12~GH を示すグレーコード検出信号 E6 が出力される。またセクタパルス発生回路100に対しては、内蔵した制御レジスタに対しセクタパルスの発生タイミングを決める時間設定信号 E7 と、複数の時間設定の中のいずれか1つを選択するセレクト信号 E8 が与えられている。

【0086】図7は図6に示したセクタマーク検出回路96の実施例を示す。図7において、ピーク検出パルス E3 はシーケンスラッチ回路102に与えられ、18Tのセクタマーク読取期間に亘るピーク検出パルス E3 の時系列であるパルスシーケンスがラッチされる。

【0087】図8は図7のピークパターン比較部104の詳細を示す。ピークパターン比較部104は、比較部134と基準シーケンス設定部136で構成される。比較部134には前段のシーケンスラッチ回路102より18Tに亘ってラッチしたパルスシーケンス S0~S17 が並列的に入力される。基準シーケンス設定部136には図4のセクタマーク領域66に示した18T分の基準シーケンス「100000100000100100」が予め設定されている。比較部134はセクタマークの読取終了タイミングでシーケンスラッチ回路102からの検出シーケンス S0~S17 を基準シーケンス設定部136の基準シーケンスと比較し、両者が一致したときにセクタマーク検出信号 E10 を出力する。図7に示す残りのピークパターン比較部106, 108, 110も図8と同じ構成を備えるが、基準シーケンス設定部136には18Tの4つの磁気記録「N, S, N, S」の中のいずれか1つの読取信号が欠落しても、これをセクタマークと見做して検出できるための冗長性をもった基準シーケンスが格納されている。

【0088】図9 (A) はピークパターン比較部104, 106, 108, 110に格納された基準シーケンスを示す。セクタマークは図3に示したように、6T、6T、3T、3Tの合計18Tである。ここでピークシフトに対する冗長性をもたせるため、例えば6Tのパルスには、±1Tの変化を含める。これが図9 (A) のパターンCであり、5T~7Tの範囲となる。

【0089】3Tは、図9 (b) の3T±1TとなるパターンBの2T~4Tに対応する。更に、パターンAは1T、パターンDは9T±1T、パターンEは12T±1T、パターンFは14T以上を意味する。従って、図9 (A) に示す基準シーケンスは、図9 (B) の冗長性をもったパターンの組合せとなる。

【0090】再び図7を参照するに、極性信号 E4 はシーケンスラッチ回路112に与えられ、ピーク検出の場

合と同様、セクタマークの読取期間である18Tに亘る極性信号のパルスシーケンスがラッチされる。シーケンスラッチ回路112の出力は極性パターン比較部114, 116, 118, 120に与えられる。これら極性パターン比較部114, 116, 118, 120も、図8に示したと同様の比較部134と基準シーケンス設定部136で構成される。

【0091】極性パターン比較部114, 116, 118, 120には、図10に示す極性パターンをもった基準シーケンスが格納されている。即ち、極性パターン比較部114には正常パルスに対応した6T、6T、3T、3Tに対応した4つの極性パターン(+) (-) (+) (-) が基準シーケンスとして格納され、残りの極性パターン比較部116, 118, 120についてはピークパルスの欠落に対応した極性パターンの基準シーケンスが格納される。

【0092】ピークパターン比較部104, 106, 108, 110と極性パターン比較部114, 116, 118, 120の出力は、それぞれ対応するAND回路122, 124, 126, 128に入力されている。例えばAND回路122には、正常パルスの基準シーケンスを設定したピークパターン比較部104からの一致信号と、同じく正常パルスの基準シーケンスを格納した極性パターン比較部114からの一致信号が入力される。

【0093】ピーク検出パルス及び極性信号の両方のパルスシーケンスが基準シーケンスに一致したときに、AND回路122はセクタマーク検出信号を出力し、OR回路132を介してセクタマーク検出信号E5として出力する。本発明のセクタマーク検出回路は基本的にはピークパターン比較部104, 114とAND回路122のみでよいが、検出パターンに冗長性をもたせるためにピークパターン比較部106, 108, 110、極性パターン比較部116, 118, 120、およびAND回路124, 126, 128を設けている。

【0094】AND回路124, 126, 128は、図10に示したように、正常パルスの第1パルス、第2パルス、第3パルスまたは第4パルスが抜けたときのピーク検出および極性検出の基準シーケンスに一致する場合に、セクタマーク検出信号を出力することになる。

【0095】AND回路122, 124, 126, 128は制御レジスタ130により制御される。制御レジスタ130は4ビットのレジスタであり、図6に示したMPU24より任意の4ビットコードをセットすることでAND回路122, 124, 126, 128の全てあるいはいずれかを有効とすることができる。

【0096】本発明にあっては、ヘッド部14を目的とするシリンダ位置に移動してオントラック制御に切り替えた最初のセクタマークの検出時には、制御レジスタ130には「1000」がセットされており、したがってAND回路122のみが有効となる。このため、図9お

よび図10に示した正常パルスのピークパターンおよび極性パターンとなる基準シーケンスに検出シーケンスが一致した場合にのみ、OR回路132を介してセクタマーク検出回路E5を出力する。

【0097】1回目のセクタマークの検出が済むと、それ以降のセクタマークの検出については制御レジスタ130を「1111」にMPU24が切り替え、全てのAND回路122, 124, 126, 128を有効とする。したがって2回目以降のセクタマークの検出にあつては、読取信号の1つに欠落があつても正常なセクタマークの検出動作を行うことができる。

【0098】図11は図6のピーク検出回路90、極性検出回路92および同期化回路94による動作を示している。図11(A)は特定シリンダにおけるセクタマークの磁化パターンであり、実線がN極、破線がS極の磁化状態を示している。この図11(A)のセクタマークをリードヘッド15で読み取ると、図11(B)に示す読取信号E0が得られる。ピーク検出回路90は図11(B)の読取信号E0の正負のピークタイミングを検出して、図11(C)に示すピーク検出パルスE1を出力する。このピーク検出処理は、例えば読取信号E0を微分した後にゼロクロスを検出することで得ることができる。

【0099】図11(D)の極性信号は、読取信号E0に対し正負のスライスレベル+Vs, -Vsを設定し、+Vsを越えたときに論理レベル1にセットし、-Vsを下回ったときに論理レベル0にリセットすることで、極性信号E2を出力する。

【0100】図12は図6の同期化回路94によるピーク検出パルスと極性信号の同期化を示している。

【0101】図12(A)は基準クロックであり、周期Tをもち、例えば20MHzである。図12(B)に示すピーク検出パルスE1および図12(C)に示す極性信号E2は、基準クロックの立上がり同期化される。その結果、図12(D)に示す同期化されたピーク検出パルスE3と図12(E)に示す同期化された極性信号E4を得ることができ、6T, 6T, 3T, 3Tの間隔となる。

【0102】4. グレーコードの検出

図13は図6のサーボ復調回路54に設けたグレーコード検出回路98の実施例を示す。図13において、グレーコード検出回路98にはステータスカウンタ138が設けられる。ステータスカウンタ138はシフトレジスタで構成され、ロード端子Lに対する制御信号でプリセット端子Pからのデータを強制的にプリセットすることができる。

【0103】ステータスカウンタ138はグレーコードの1ビット幅6Tに対応して6つのシフト段を有し、各シフト段を、先頭からステート0, ステート1, ステート2, ステート3, ステート4およびステート5として

いる。サーボフレームの読取りが開始された最初の読取信号によるピーク検出パルスE3とその極性信号E4に基づき、ステータスカウンタ138は「100000」にプリセットされる。

【0104】このプリセットはプリセットレジスタ140の値を用いて行われる。ピーク検出パルスE3と極性信号E4の両方が得られたことはAND回路144で検出され、検出信号E11をOR回路150を介してロード端子Lに供給することでステータスカウンタ138のプリセット動作が行われる。このとき、AND回路144からの出力信号E11はAND回路152にも与えられているため、プリセットレジスタ140の6ビットデータがAND回路152およびOR回路156を介してプリセット端子Pに与えられている。

【0105】したがって、最初の読取信号に基づくステータスカウンタ138のプリセット動作でプリセットレジスタ140の値「100000」がステータスカウンタ138にプリセットされることになる。最初のプリセットが済むと、それ以降、ステータスカウンタ138は1Tの基準クロックCLKによりビットシフトを行っており、更にステート5の最終シフト段の出力はステート0の入力段に帰還され、所謂リングカウンタとして動作する。

【0106】ステータスカウンタ138に対するプリセットレジスタ140からの6ビットデータのプリセットは、正極性をもつ読取信号のピーク検出および極性検出に基づくものである。これに対し、正極性の読取信号から3T後に得られる負極性をもつ読取信号についてのピーク検出パルスE3と極性信号E4が得られた場合には、プリセットレジスタ142に格納している「000100」をステータスカウンタ138にプリセットする。

【0107】この負極性をもつ読取信号のピーク検出パルスE3と極性信号E4の検出は、反転回路148とAND回路146で行われ、OR回路150を介して制御信号E2をロード端子Lに供給することでプリセットレジスタ142の値をプリセットする。このとき、AND回路146の制御信号E12はAND回路154を許容状態にしており、OR回路156を介してプリセットレジスタ142の6ビットデータをプリセット端子Pに供給できる。

【0108】即ち、ステータスカウンタ138はビット1のグレーコードに対応する6Tの「100100」の読取信号が得られた場合には、ステート0とステート3のタイミングでそれぞれのステータス状態におけるカウンタ値を強制的にプリセットされることになる。一方、ビット0に対応するグレーコードの6Tとなる「000000」の読取信号については、ピーク検出パルスE3および極性信号E4のいずれも得られず、ステータスカウンタ138はそれまでのプリセット同期に従った基準

クロックCLKによるフリーラン状態に置かれる。

【0109】グレーコードに基づくビット0、1の復元は、基本的にはステータスカウンタ138のステート0信号E13とステート3信号E14を用いて行われる。ステート0信号E13はAND回路158を介してラッチ回路160をセットする。また、ステート3信号E14はAND回路162を介してラッチ164をセットする。

【0110】AND回路158の他方の入力にはAND回路144の出力が与えられ、読取信号からピーク検出パルスE3とその極性信号E4が正常に得られたときにANDゲート158を許容状態として、ステート0信号E13によるラッチ回路160のセット動作を許容する。同様に、AND回路162の他方の入力にはAND回路146の出力が与えられ、負の極性をもつ読取信号のピーク検出パルスE3とその極性信号E4が有効に得られたときに、ステート3信号E14によるラッチ回路164のセットを許容する。

【0111】これに対し、ビット0に対応したグレーコードの6Tとなる「000000」の読取信号については、ステート0およびステート3のいずれのタイミングにあってもAND回路144、146の出力は論理レベル1とならず、ステータスカウンタ138に対するプリセット動作を行わないと同時に、ラッチ回路160、164に対するステート0信号E13とステート3信号E14によるセット動作も禁止する。

【0112】したがって、ビット1に対応するグレーコード「100100」について読取信号が正常に得られている場合、ラッチ回路160、164にステータスカウンタ138のステータス0とステータス3のシーケンス「11」がラッチされる。これに対し、ビット0のグレーコード「000000」の読取信号については、ラッチ回路160、164にはシーケンス「00」が格納される。

【0113】ラッチ回路160、164のラッチ出力はOR回路166を介してビット復調信号E18としてシフトレジスタ170に供給される。

【0114】シフトレジスタ170は14ビットのグレーコードに対応したシフト段を有し、直列的に入力するビット復調信号E18を入力してシフトし、グレーコードの読出終了タイミングで、復調した14ビットのグレーコードG12～GHに対応するシリンダアドレスをMPU24に供給する。シフトレジスタ170のシフト動作はステータスカウンタ138のステート5信号E15で行われる。このステート5信号E15は反転回路168で反転されてラッチ回路160、164のリセットを行う。

【0115】更に本発明のグレーコード検出回路98にあっては、ビット1を示すグレーコードの6Tパターン「100100」の内、ステート0に対応する先頭の読

取信号またはステート3に対応する4段目の読取信号のいずれか一方が欠落しても、正常にビット1を復調することができる。

【0116】6Tのグレーコードの記録パターン「100100」で最初の正極性をもつ読取信号が欠落して「000100」となった場合、ステータスカウンタ138のプリセットレジスタ140によるプリセットが行われず、またステート0信号E15によるラッチ回路160のラッチ動作も禁止される。

【0117】しかしながら、次の4番目のステート3に10  
対応する負の読取信号が正常に得られるので、プリセットレジスタ142によるステート3状態のカウントのプリセットおよびラッチ回路164に対するステート3信号E14によるセット動作は正常に行われる。この場合、ラッチ回路160、164のラッチシーケンスは「01」となり、ビット復調信号E18はビット1となり、正常に復調することができる。

【0118】一方、ステート0に対応する正の読取信号は復調できて次のステート3に対応する負の読取信号が欠落して「100000」となった場合には、ステータスカウンタ138に対するプリセットレジスタ140  
20のプリセットが行われ、ラッチ回路160もステート0信号E13で正常にラッチ動作ができる。

【0119】しかし、ステート3でピーク検出パルスE3および極性信号E4が正しく得られないため、プリセットレジスタ142によるプリセット、およびステート3信号E14によるラッチ回路164のセット動作は行  
われぬ。この場合、ラッチ回路160、164のラッチシーケンスは「10」となり、OR回路166からのビット復調信号E18は正常時と同じビット1となり、  
30有効に復調できる。

【0120】図14は図6に示したピーク検出回路90および極性検出回路92によるグレーコードの読取信号に対する処理動作を示している。図14(A)はグレーコードの磁化パターンであり、6Tを1ビット幅とし、3T単位にビット1であれば、図示のようにグレーコードG12、G11、G10、G9、G8・・・につき「100100」の磁化パターンを記録している。図14(B)はその読取信号E0であり、実線で示すN極の磁化パターンに対し正の読取波形が得られ、破線で示すS極の磁化パターンに対し負の極性をもつ読取波形が得られる。

【0121】図14(C)、(D)はグレーコード読取信号E0のピーク検出パルスE1および極性信号E2であり、これらは次の同期化回路94で図12に示した場合と同様にして基準クロックCLKによる同期化が行われ、図13に示したグレーコード検出回路98に入力される。

【0122】図15はビット1のグレーコードによる磁化パターン「100100」の読取信号が正常に得られ  
50

たときの図13のグレーコード検出回路の動作を示す。図15(A)はビット1に対応するグレーコードの磁化パターンであり、6Tに亘り「100100」を記録している。このグレーコードの読取信号から同期化された図15(B)に示すピーク検出パルスE3と、同じく同期化された図15(C)に示す極性信号E4が得られる。

【0123】ステータスカウンタ138に対しては、ピーク検出パルスE3と極性信号E4が論理レベル1に立ち上がったステート0のタイミングで、図15(D)に示すステート0のプリセット信号E11が供給され、

「100000」のステータスカウンタのプリセットが行われる。また、負の読取信号が得られるピーク検出パルスE3と極性信号E4のタイミングで、図15(E)に示すステート3のプリセット信号E12が得られる。

【0124】図15(F)はステータスカウンタのステータス状態を0〜5で示している。ステータスカウンタ138からは、図15(G)に示すステート0出力E13、図15(H)に示すステート3出力E14、また図15(I)に示すステート5出力E15が得られる。ラッチ回路160は図15(J)に示すように、ステート0のタイミングでステート0出力信号E13をラッチし、ラッチ出力E16を生ずる。

【0125】またラッチ回路164は図15(K)に示すように、ステート3のタイミングでステート3出力信号E14をラッチしたラッチ出力E17を生ずる。この結果、図15(L)に示すOR回路166からのビット復調信号E18はステート3のタイミングで論理レベル1となり、これが図15(I)のステート5出力E15  
30の例えば立上がりタイミングでシフトレジスタ170に取り込まれる。

【0126】図16はビット1に対応するグレーコードの6Tパターン「100100」の先頭の読取信号が欠落した場合のグレーコード検出動作を示している。即ち、図16(B)に示すように、先頭の正の極性をもつ読取信号の欠落でピーク検出パルスE3のパルス172がなくなり、これに対応して図16(C)の極性信号E14もステート0〜2に亘る信号174が失われる。

【0127】しかしながら、ステータスカウンタ138は正常に動作しており、且つステート3のタイミングでラッチ回路164にステート3出力E14がラッチされて論理レベル1となる。最終的に、OR回路166からはビット復調信号E18がビット1として復調され、先頭の正の読取信号が欠落しても、問題なくグレーコードのビット復調が可能である。

【0128】図17は1ビットのグレーコードの6Tパターン「100100」のステート3に対応する負の読取信号が欠落した場合のグレーコードの検出動作を示している。この場合には、図17(B)のピーク検出パルスE3の内、ステート3に対応したパルス176が欠落

し、同時に図17(C)の極性信号E4も負の読取信号に対応した論理レベル0の信号部分178が欠落し、全て論理レベル1となってしまう。

【0129】しかしながら、ステート0に対応する最初の読取信号が正常に得られていることで、図17(J)のラッチ回路160の出力信号E16が論理レベル1となり、信号の欠落でラッチ回路164の出力信号E17が論理レベル0のままであっても、最終的なOR回路166によるビット復調出力はビット1と、正しく復元することができる。

【0130】図18は、回路の遅延要素などにより読取信号が位相シフトを起こした場合のグレーコード検出動作を示している。図18(A)は位相シフトを起こした読取信号から得られたピーク検出パルスE3であり、負の読取信号に基づくパルスがパルス波形180に示すように進み位相となる位相シフトを起こしている。この位相シフトに対し、極性信号E4も図18(B)に示すように位相シフトに対応した極性の検出波形となる。

【0131】ピーク検出パルスE3および極性信号E4の位相シフトに伴い、ステータスカウンタは図18(D)に示すように進み位相シフトのタイミングでステート3でプリセット信号E12を出力して強制的にステータスカウンタ138を「000100」にプリセットして、ステート3のカウント状態とする。その結果、ステータスカウンタ138は「013450」をカウントし、次のピーク検出および極性検出のタイミングでステート0にプリセットされる。

【0132】このような位相シフトにあっても、ビット復調に用いるステート0とステート3の信号状態は正常時と同様であることから、ラッチ回路160の出力E16はステート0のタイミングで論理レベル1となり、またラッチ回路164の出力E17もシフトしたステート3のタイミングで論理レベル1となり、最終的にOR回路166の出力となるビット復調信号E18もシフトしたステート3のタイミングで論理レベル1となり、位相シフトがあっても正常にビットを復調することができる。

【0133】図19は図18に対し逆に、負の読取信号が遅れ方向にシフトした場合のグレーコードの検出動作を示している。即ち図19(A)に示すように、ピーク検出パルスE3の中の負の読取信号の遅れ側への位相シフトで、シフトしたパルス182が得られ、これに対応して図18(B)の極性信号E4の極性検出もシフトを起こしている。

【0134】この場合、ステータスカウンタ138は図19(E)のステータスに示すように「0123」とカウントするが、ステート4のカウントで「000100」のステート3のカウント状態にプリセットされるため、再度、ステータス3となり、次の読取信号によりステータス0がプリセットされるまでの変化は「0123

345」となる。これはステート3が2回発生するだけでそれ以外は同じであることから、遅れ位相となるシフトがあっても正常にビットを復調することができる。

#### 【0135】5. リアルタイム偏心補正

セクタサーボ方式を採用したディスク装置にあっては、予め決められた時間ごとに、各シリンダにおけるトラック中心からのずれ量をセクタ単位に測定してRAMなどに格納する偏心測定を行っている。そして通常のオントラック制御時には、先に測定しておいた偏心ずれ値を目標位置から差し引くことにより、常にトラック中心にヘッドを位置付ける偏心補正を伴ったオントラック制御を行っている。

【0136】しかしながら、予め決められた時間ごとに偏心補正に使用するずれ値を測定していたため、測定と測定の間は前回の測定値のまま偏心補正が行われており、温度変化による偏心量の変動に対処できない問題があった。そこで本発明のディスク装置にあっては、オントラック時の最初のシリンダ1回転で偏心ずれ値を測定してRAMに格納し、次の1回転からは前回測定したずれ値を使用した偏心補正を伴うオントラック制御を行うことで、ほぼリアルタイムで偏心補正ができるようにする。

【0137】図20は偏心補正のリアルタイム処理を実現する本発明のディスク装置の実施例を示し、このリアルタイム偏心補正を伴うヘッド位置決め制御はMPU24のプログラム制御による機能として実現される。

【0138】図20において、MPU24にはオントラック時にヘッドをトラック中心に追従制御するためのヘッド位置決め制御部184が設けられる。このヘッド位置決め制御部184は、ヘッド位置検出部185、目標位置設定部186、位置サーボの加算点188、190、および電流指示部192で構成される。目標位置設定部186は、オントラック時にヘッドを位置決めするトラック中心を示す目標位置 $P_0$ を出力する。

【0139】目標位置 $P_0$ は加算点188に与えられ、レジスタ196にそのとき読み出されている前回の偏心測定で得られたトラック中心に対するずれ値即ち偏心補正值 $(X_n)_{t-1}$ を減算し、補正された目標位置 $P_0'$ を出力する。加算点190は補正された目標位置 $P_0'$ から、そのときヘッド位置検出部185で検出されているヘッド位置 $P_n$ を差し引いて位置誤差 $\Delta P$ を求める。

【0140】加算点190で求めた位置誤差 $\Delta P$ は電流指示部192に与えられ、位置誤差 $\Delta P$ の極性で示される電流方向と絶対値で示される電流値からなる電流指示データをDAコンバータ38に出力し、図2に示したドライバ40によりVCM20に電流を流してヘッドを駆動し、ヘッドを位置誤差 $\Delta P$ を0とするように制御する。

【0141】ここでヘッド位置検出部185は、図2に示したピークホールド回路54によりピークホールドさ

れたサーボ領域の検出信号を、ADコンバータ55でデジタル信号に変換して取り込んでおり、サーボ情報は例えば図5(A)に示したように第1～第4フィールドA、B、C、Dをもって記録された2相サーボであることから、図5(B)～(G)に示すようにして、そのときのヘッド位置 $P_n$ を検出する。

【0142】外部のRAMには偏心測定で得られた補正值 $X_n$ を各シリンダのセクタ単位に格納するRAM補正テーブル194が設けられている。このRAM補正テーブル194は例えば図21に示すように、セクタ番号0～59をアドレスとして各領域ごとに測定された補正值 $X_0 \sim X_{59}$ を格納している。勿論、図21に示すRAM補正テーブルの内容は各シリンダごとに作成されている。

【0143】MPU24にはRAMアクセス部195が設けられ、そのときのシリンダアドレスとセクタ番号に基づいてRAM補正テーブル194より格納している偏心補正值 $X_n$ （但し、 $n=0 \sim 59$ ）を読み出してレジスタ196にセットし、加算点188における目標位置 $P_0$ の補正に使用する。

【0144】また、補正值更新部198が設けられ、レジスタ196に読み出した前回の偏心補正值 $(X_n)_{t-1}$ に、現在測定されたヘッド位置 $P_n$ を加算して新たな偏心補正值 $(X_n)_t$ を求め、RAMアクセス部195によりRAM補正テーブル194の対応セクタ番号のアドレスに格納し、偏心補正值を新たな測定結果に更新する。

【0145】図22は本発明のリアルタイム偏心補正による補正前と補正後のトラックセンタとヘッド位置の関係を示している。図22(A)はオントラック後の最初のシリンダ1回転における、あるサンプリング点でのトラックセンタ200に対するヘッド軌跡202を示している。即ち、トラックセンタ200は偏心により緩やかに波打っており、これに対しヘッド軌跡202はある一定値にあることから直線軌跡として示している。オントラック時にはトラックセンタ200が目標位置 $P_0$ となる。

【0146】ここで、1回目のサンプリング時点を $t_1$ とすると、前回のサンプリング時点は $t_0$ となるが、今回が始めての偏心補正であることから、RAM補正テーブル194の対応セクタの内容は0であり、レジスタ196の前回の偏心補正值 $(X_n)_{t_0}$ は0となっている。

【0147】したがって加算点188は、目標位置 $P_0$ そのものを補正された目標位置 $P_0'$ として加算点190に出力する。加算点190にあっては、目標位置 $P_0$ から検出されたヘッド位置 $P_n$ を差し引いて位置誤差 $\Delta P$ を求める。電流指示部192は位置誤差 $\Delta P = -P_n$ に基づいた電流指示データをDAコンバータ38に出力し、位置誤差 $\Delta P$ を0とするようにヘッドの位置決め制御を行う。

【0148】同時に、補正值更新部198はレジスタ196の前回の偏心補正值 $(X_n)_{t_0}$ にヘッド位置 $P_n$ を加算して新たな偏心補正值 $(X_n)_{t_1}$ を求めるが、このとき前回の偏心補正值 $(X_0)_{t_0}$ は0であることから、検出されたヘッド位置 $P_n$ そのものを新たな偏心補正值 $(X_n)_{t_1}$ としてRAMアクセス部195によりRAM補正テーブル194の対応セクタのアドレスに格納する。

【0149】図22(B)は、2回目のシリンダ1回転において同じサンプリング点でのヘッド位置決め制御を示している。2回目については、レジスタ196に図22(A)の1回目の偏心測定で得られた前回の偏心補正值 $(X_n)_{t_0}$ が読み出されている。このため、加算点188および190により求められる位置誤差 $\Delta P$ は、そのとき検出されているヘッド位置を $P_n$ とすると、 $\Delta P = P_0 - (X_n)_{t_0} - P_n$ として求められ、電流指示部192により検出誤差 $\Delta P$ に応じた電流指示データをDAコンバータ38に出力してヘッド位置決め制御を行う。図22(B)の場合には、偏心補正された目標位置 $P_0'$ に対するヘッド軌跡204の誤差は0となっており、この結果、前回の偏心補正值 $(X_n)_{t_1}$ のみの偏心補正によるヘッド位置決め状態となっている。

【0150】勿論、図22(B)の状態ではヘッド位置ずれが起きて、補正された目標位置 $P_0'$ を外れるヘッド位置 $P_n$ が得られれば、これを加えた位置誤差 $\Delta P$ による位置決め制御が行われる。同時に、新たに生じたヘッド位置 $P_n$ を前回の偏心補正值 $(X_n)_{t_1}$ に加算した新たな偏心補正值 $(X_n)_{t_2}$ を求めて、RAM補正テーブル194の対応セクタの内容を更新することになる。

【0151】図23のフローチャートは、オントラック時に行われる図20に示したヘッド位置決め制御部184の処理動作を示している。図23において、シーク制御の完了によりオントラック制御に切り替わると、まずステップS1で、RAM補正テーブル194のオントラックしたシリンダに含まれる全セクタの補正值 $(X_0) \sim (X_{n-1})$ の内容をクリアする。続いてステップS2で、セクタカウンタ $n$ の初期化を行う。初期化が済むとステップS3で、各サーボフレームにおけるヘッド位置検出信号のサンプリングタイミングが否かチェックしている。

【0152】ヘッド位置検出のサンプリングタイミングが判別されるとステップS4に進み、検出されたヘッド位置 $P_n$ を取り込む。続いてステップS5で、RAM補正テーブル194よりセクタカウンタ $n$ で指定されるアドレスから前回の偏心補正值 $(X_n)_{t-1}$ を読み出す。オントラック後の最初のシリンダ1回転については、この前回補正值 $(X_n)_{t-1}$ は0となっている。

【0153】続いてステップS6に進み、目標位置 $P_0$ 、前回の補正值 $(X_n)_{t-1}$ および検出されたヘッド

位置 $P_n$ を用いて位置誤差を求める。続いてステップS7で、位置誤差 $\Delta P$ に基づく電流指示値 $I_d$ をDAコンバータ38に出力して、VCMの駆動によりヘッド位置決め制御を行う。続いてステップS8で、前回の偏心補正值( $X_n$ ) $t-1$ に現在検出されているヘッド位置 $P_n$ を加えて、今回測定された新たな偏心補正值( $X_n$ ) $t$ を求め、ステップS9でRAM補正テーブル194の対応セクタに格納して偏心補正值を更新する。

【0154】ステップS10にあっては、セクタカウンタ $n$ が最大セクタに達したか否かチェックしており、最大セクタに達するまではステップS3～S9の処理をセクタごとに繰り返す。最大セクタであった場合には再びステップS2に戻り、セクタカウンタ $n$ の初期化から同様な処理を繰り返す。

【0155】図23の処理にあっては、RAM補正テーブル194の更新に使用する新たな偏心補正值( $X_n$ ) $t$ として前回の偏心補正值( $X_n$ ) $t-1$ に現時点で検出されたヘッド位置 $P_n$ をそのまま加えているが、ヘッド位置 $P_n$ をそのまま加える更新を行うと定常的な偏心要因以外の外乱分も加わってしまうことから、ヘッド位置 $P_n$ に次のような制限を加えることが望ましい。

【0156】第1の方法は、ヘッド位置 $P_n$ に1以下の値をもつ係数 $K$ を掛け合わせて重み付けを行って加算する方法である。第2の方法は、隣接するセクタで得られたヘッド位置と組み合わせ、検出されたヘッド位置の平均値を求めて加算する方法である。更に第3の方法は、加算するヘッド位置に限界値を定め、限界値を越えるヘッド位置 $P_n$ が得られた場合には限界値を加算する方法である。

【0157】このように、ヘッド位置に制限を加えて、前回の偏心補正值に加えて新たな偏心補正值を求めることで、外乱による一時的な偏心分を偏心補正值に取り込んでしまうことを抑制できる。

【0158】また図23の処理にあっては、ステップS1でオントラック時の最初にRAM補正テーブル194の内容を全てクリアした後に処理を開始しているが、この最初のクリアを行わず、前回のオントラック時の最後に測定されている偏心補正值を第1回目を使用した位置決め補正を行うようにしてもよい。

【0159】当然のことながら、現在セクタの補正值を40 読出して補正動作を行っていたのでは、既にずれているセクタに対し補正を行うことになり、遅れが生じ、補正動作が正常に行われない。そこで、図20のRAMアクセス部195によるRAM補正テーブル194からの偏心補正值の読出しは、現在セクタに対し何セクタか先行したセクタの読出しを行う。これは補正動作の遅れを考慮したものである。

【0160】6. セクタサイズの可変制御  
セクタサーボ方式を採用したディスク装置にあっては、シリンダ上に一定間隔でサーボフレームが固定的にフォ

ーマッティングされており、基本的にはサーボフレーム間隔でセクタサイズが固定的に決まることになる。即ち、セクタマークの終端検出に同期してセクタパルスを発生することになる。

【0161】しかしながら固定セクタサイズにあっては、読み書きするデータブロックのサイズが固定される等の種々の問題が起きることから、セクタサイズの変が必要であり、したがって物理的なサーボフレームに依存することなく、必要に応じて任意のタイミングでセクタサイズを決めるセクタパルスを発生する必要がある。

【0162】本発明のディスク装置にあっては、簡単なファームウェアによってセクタサイズの変を可能とするセクタパルスの発生機能を備える。

【0163】図24は可変セクタサイズを実現するための本発明のディスク装置の実施例を示す。図24において、MPU24に対し3つの制御レジスタ216、218、220が設けられている。制御レジスタ216、218、220には、あるサーボフレームの例えば終端を起点に、次にセクタパルスを発生する位置を決める時間データが格納される。制御レジスタ216、218、220の出力は、セレクト回路222でいずれか1つが選択され、一致検出回路224に与えられる。

【0164】一方、一致検出回路224に対してはカウンタ214の計数結果が入力されている。カウンタ214はサーボフレームの終端検出に基づき、MPU24によりリセットされて、その時点から基準クロックCLKの計数を開始する。一致検出回路224はセレクト回路222で選択された制御レジスタ216、218、220のいずれかの時間データ、具体的には基準クロックCLKの数で定義された時間データとカウンタ214の計数値とを比較する。

【0165】カウンタ計数値がレジスタ設定時間に一致すると、一致検出回路224は、一致出力をパルス発生回路226に出力し、セクタパルスの発生を行わせる。セクタパルスのパルス幅は固定的に決めてもよいし、MPU24の制御で管理するようにしてもよい。

【0166】図25は図24の実施例による可変セクタサイズとするためのセクタパルスの発生を示している。図25(A)に示すサーボフレーム246の読取処理において、サーボフレーム246に続いて図26(B)に示すようにセクタパルス250および252を発生したい場合には、サーボフレーム246からのオフセット値として各セクタパルス250、252の位置までの時間 $T_1$ 、 $T_2$ を算出し、制御レジスタ216および218に時間データ $T_1$ 、 $T_2$ をセットする。

【0167】この時間データ $T_1$ 、 $T_2$ のセットが済むと、MPU24はセレクト回路222によりレジスタ216をセレクトして時間データ $T_1$ を一致検出回路224にセットする。カウンタ214は例えばサーボフレーム246の読取終了でリセットされて基準クロックCL

Kの計数を開始し、カウンタ214の計数値が時間データT1に一致すると、一致出力によりパルス発生回路226よりセクタパルス250を発生させる。

【0168】セクタパルス250の発生が済むと、MPU24はセレクト回路222により次のレジスタ218を選択して時間データT2を一致検出回路224にセットする。このため、一致検出回路224はカウンタ214の値が時間データT2に一致したとき一致出力を生じて、パルス発生回路226よりセクタパルス252を出力する。

【0169】図26は、本発明の可変セクタサイズの制御を利用して、データブロックがサーボフレームによって2つの領域に分離されるデータスプリット発生時のセクタパルスの発生制御を示している。

【0170】図26(A)はシリンダ記録状態を示す。ここで書き込みブロックデータがサーボフレーム間隔で決まる固定セクタサイズを越えていた場合、固定セクタサイズでデータ232、236に分割し、サーボフレーム228とID230に続いてデータ232を記録し、次のサーボフレーム234の後ろにスプリットされた残りのデータ236を記録する。そしてスプリットされたデータ236の後ろが次のセクタとなって、ID238およびデータ240が格納される。

【0171】このような場合には、図26(B)に示すようにサーボフレーム228の直後にセクタパルス242を発生し、次のセクタパルスはサーボフレーム234の直後ではなく、スプリットされたデータ236の終了位置に続いてセクタパルス244を発生しなければならない。

【0172】このようなセクタパルスを発生するためには、図26(A)、(B)に示した最初のレジスタ216に対する時間データT1はT1=0であり、次のセクタパルスを発生するための時間データT2はデータ236にギャップ間隔を加算した時間データであり、この時間データT2をサーボフレーム234に対する制御レジスタ216にセットする。

【0173】この時間データT1の制御レジスタ216に対するセットにより、サーボフレーム228の読取終了でカウンタ214をリセットして基準クロックCLKの計数動作を開始させれば、セレクト回路222による時間データT1の選択で一致検出回路224が一致出力を生ずると、パルス発生回路226より最初のセクタパルス242が出力される。

【0174】続いて時間データT2の制御レジスタ216に対するセットにより、サーボフレーム234の読取終了でカウンタ214をリセットして基準クロックCLKの計数動作を開始させれば、セレクト回路222による時間データT2の選択で一致検出回路224が一致出力を生じたとき、パルス発生回路226よりセクタパルス244が出力される。

【0175】更に図26(C)はリードゲートを示したもので、サーボフレーム228、234の期間にわたってゲート禁止が掛かり、それ以外のゲート有効期間においてIDおよびデータのリード動作が可能となる。

【0176】図27は不良セクタに対するセクタスリップ処理のためのセクタパルスの発生処理を示している。シリンダ上で媒体不良に伴う不良セクタが検出された場合には、不良セクタについてはセクタパルスを発生しないことで、不良セクタを意識することなく連続的なリード動作またはライト動作ができる。

【0177】したがって図24に示したMPU24にあっては、指定されたシリンダアドレスのシーク完了でオントラック制御となった際に、予め準備されている不良セクタの管理テーブルを参照し、不良セクタを示すセクタ番号のタイミングで例えば制御レジスタ220に示すように不良セクタでセクタパルスを発生させないための時間データをセットする。

【0178】図24の実施例では、制御レジスタ220にレジスタ最大値「FFFF」をセットしている。この設定時間「FFFF」は、サーボフレームで決まるセクタサイズを越える時間データである。したがって、セレクト回路222でレジスタ220の時間データ「FFFF」を選択して一致検出回路224にセットしても、サーボフレームの読取終了でリセットしたカウンタ214の計数値は不良セクタの間に時間データ「FFFF」に一致することなく、不良セクタについて一致検出出力が得られないことでセクタパルスの発生が禁止されることになる。

【0179】図27(A)はサーボフレームの読取りを示し、特定の位置に不良セクタ254が存在している。このような不良セクタ254については、セクタ番号に対応してセクタパルスの発生を禁止するための時間データ「FFFF」がセットされる。これによって不良セクタ254の部分でセクタパルスの発生が図27(B)に示すように禁止できる。

【0180】セクタパルスが不良セクタ254で発生しなければ、図27(C)に示すようにリードゲートはサーボフレームの最初のセクタマークでリセットされ、セクタパルスの発生でセットされるゲート信号となり、不良セクタ254を意識することなくリード動作ができる。ライト動作も同様である。この結果、不良セクタ254が存在したときに従来行っていた交替領域に移動してデータを読み書きするための交替処理が不要となり、アクセス性能を大幅に向上できる。図27(C)はリードゲートを示すが、ライトゲートについても同様である。

【0181】図28はデジタル・エラーテストにおけるセクタパルスの発生処理を示している。ディスク媒体のデジタル・エラーテストにあっては、サーボフレームの直後に1回ずつセクタパルスを発生させる必要がある。

したがって図24の実施例にあっては、MPU24はデジタル・エラーテストの制御コマンドを受けると、例えば制御レジスタ216にサーボフレームの読取終了直後のセクタパルスの発生を行わせるため、時間データT=0をセットする。

【0182】そしてセレクト回路222は固定的にレジスタ216の値を選択して一致検出回路224に出力する。このようなセット状態においては、MPU24はサーボフレームの読取終了ごとにカウンタ214をリセットして計数動作を繰り返すと、一致検出回路224は最初のリセットタイミングで一致出力を生じ、サーボフレームの読取終了に同期してパルス発生回路226がその都度セクタパルスを発生するようになる。

【0183】このため、図28(A)のサーボフレームに対しデジタル・エラーテストの際には、図28(B)に示すように1対1に対応してセクタパルスが発生し、図28(C)に示すサーボフレームの間の全セクタ区間に亘るデジタルエラー・ライトテスト信号または図28(D)のデジタルエラー・リードテスト信号に基づいたテストゲートの設定ができる。このようなデジタル・エラーテストによってサーボフレームを除く全領域のエラーテストができ、終了後の通常のリードライトにおけるセクタサイズの可変設定に適切に対応できる。

【0184】図29のフローチャートはデータスプリット処理、不良セクタのスリップ処理、更にデジタル・エラーテストを含めたセクタパルスの発生処理を示している。図29において、まずステップS1で、サーボフレームの読取りでセクタ番号を読み出し、ステップS2で、セクタパルスの発生が必要か否かチェックする。セクタパルスの発生が必要であればステップS3に進み、デジタル・エラーテストモードか否かチェックする。

【0185】ディスク装置の電源投入に伴う初期診断の際には、デジタル・エラーテストモードが設定されていることから、ステップS4に進み、セクタパルス発生用のレジスタにデジタル・エラーテストモード時の時間データをセットし、図28に示したようなセクタパルスをサーボフレームごとに発生させる。

【0186】電源投入に伴う立上げ終了後の通常状態にあっては、デジタル・エラーテストモードは解除されていることから、ステップS3からS5に進む。ここで、上位装置からリードまたはライトが要求されたデータブロックがサーボフレームで決まるセクタサイズを越えていた場合には、可変セクタサイズとするためにセクタサイズ発生位置を示す位置データ(時間データ)を1または複数、レジスタにセットする。

【0187】続いてステップS6で、不良セクタに対するセクタスリップの存在の有無をチェックする。セクタスリップが存在しなければ、ステップS5でセットしたデータに基づくセクタパルスの発生を行う。

【0188】ステップS6でセクタスリップを必要とす

る不良セクタが存在していた場合にはステップS7に進み、スリップ対象となるセクタ番号が得られたサーボフレームの読取処理の際にセクタパルスを発生させない位置データ例えばレジスタ最大値となる時間データをセクタパルス発生用のレジスタにセットし、不良セクタでのセクタパルスの発生を禁止してセクタスリップを行わせるようになる。

【0189】このようなセクタパルスの発生を可変制御することで任意の位置にセクタパルスが発生でき、特に定密度記録方式(CDR方式)を採用したディスク装置においては有効となる。また、不良セクタに対するセクタパルスの発生を禁止するセクタスリップ処理によって、不良セクタを意識することなくライト動作またはリード動作ができ、従来の不良セクタに対し交替処理を行っていた場合に比べ、リードライトのアクセス性能を向上できる。

【0190】更に、初期化立上げ時のデジタル・エラーテストにおいて、サーボフレーム終了直後に固定的にセクタパルスを発生させることで、サーボフレームの間に無試験部分となるギャップを生ずることなく、必要な全領域のデジタル・ライトエラーテスト、デジタル・リードエラーテストが実現でき、通常のリードライト動作で行われるセクタサイズの可変設定に適切に対応できる。

【0191】また図24の実施例は、サーボフレームの終端検出を基準にセクタパルスの発生時間を決めているが、セクタマークの検出時点などサーボフレーム内の任意の位置を基準にセクタパルスの発生時間を決めてもよい。

【0192】尚、上記の実施例はディスク媒体を1枚用いたディスク装置を例にとるものであったが、ディスク媒体の数は必要に応じて適宜に増やすことができる。

【0193】また本発明は、クロック周波数を半径方向に分割したゾーン毎に可変する定密度録方式(CDR方式)と、全シリンダにつきクロック周波数を一定とした定角速度記録方式(CVR)の両方につき、そのまま適用できる。更に、本発明は、実施例による数値限定は受けない。

【0194】

【発明の効果】以上説明してきたように本発明によれば、サーボフレームに記録したセクタマークおよびグレーコードの検出に読取信号のピーク検出と極性検出の両方を組み合わせることで、短い記録長であっても確実にセクタマークおよびグレーコードを検出できる。このため、検出率を低下させることなくサーボフレームにおける記録長を低減でき、セクタサーボ方式におけるフォーマット効率を高めてディスク媒体の記憶容量を増加できる。

【0195】またオントラック制御におけるセクタサーボを利用した偏心補正をリアルタイムで行うことで、温度変動があってもトラッキング制御の精度を大幅に向上

でき、トラック記録密度を高くしてもオントラックエラーを起こすことなくリードまたはライト動作を確実にできる。

【0196】更にサーボフレームで決まる固定的なセクタパルスの発生に拘束されることなく、任意のセクタ長となるようにセクタパルスが発生でき、ブロックデータを分割して読み書きするスプリット記録、不良セクタを飛ばすスリップ処理、初期化時のデジタル・エラーテストの際のサーボフレームに同期した固定的なセクタパルスの発生など、必要に応じて任意のタイミングで簡単にセクタパルスの可変発生ができる。

【0197】また以上のように、本発明によれば、無駄な処理はできるだけ削減し、精度向上に必要な処理を重点的に行うことで、実質的な処理効率を高めて小型ディスク装置への適用を可能にする。

【図面の簡単な説明】

【図1】本発明の原理説明図

【図2】本発明の全体構成を示したブロック図

【図3】本発明のサーボフレームのフォーマット説明図

【図4】図3のサーボフレームの読取信号の説明図

【図5】図3のサーボ領域の記録状態とヘッド位置信号の検出を示した説明図

【図6】図2のサーボ復調回路の実施例を示したブロック図

【図7】図6のセクタマーク検出回路の実施例を示したブロック図

【図8】図7のピークパターン比較部の実施例を示したブロック図

【図9】図6のピークパターン比較部に設定する基準シークエンスのパターンを示した説明図

【図10】図6の極性パターン比較部に設定する基準シークエンスのパターンを示した説明図

【図11】図6におけるセクタマーク読取信号から検出するピーク検出パルス及び極性信号を示したタイミングチャート

【図12】図6におけるセクタマーク読取信号に対するピーク検出パルス及び極性信号の同期化を示したタイミングチャート

【図13】図6のグレーコード検出回路の実施例を示したブロック図

【図14】図13の実施例におけるグレーコード読取信号から検出するピーク検出パルスと極性信号のタイミングチャート

【図15】正常読取時のグレーコード検出を示したタイミングチャート

【図16】ステート0の読取信号欠落時のグレーコード検出を示したタイミングチャート

【図17】ステート3の読取信号欠落時のグレーコード検出を示したタイミングチャート

【図18】読取信号に進み位相シフトが起きた時のグレー

ーコード検出を示したタイミングチャート

【図19】読取信号に遅れ位相シフトが起きた時のグレーコード検出を示したタイミングチャート

【図20】オントラック時にリアルタイムで偏心を測定して補正する本発明の実施例を示したブロック図

【図21】偏心補正値を格納したRAM補正テーブルの説明図

【図22】ヘッド軌跡とトラックセンタについてリアルタイム偏心測定と補正の様子を示した説明図

【図23】図20の偏心測定と補正処理を示したフローチャート

【図24】可変セクタサイズとなるようにセクタパルスを発生する本発明の実施例を示したブロック図

【図25】図24によるセクタパルスの発生制御の説明図

【図26】データスプリットのためのセクタパルスの発生を示したタイミングチャート

【図27】不良セクタのスリップ処理に用いるセクタパルスの発生を示したタイミングチャート

【図28】デジタル・エラー・テスト時のセクタパルスの発生を示したタイミングチャート

【図29】図24のセクタパルスの発生処理を示したフローチャート

【符号の説明】

10：ディスクエンクロージャ

12：ドライブコントローラ

14：ヘッド部

15：リードヘッド

16：ライトヘッド

18：ヘッドIC回路

20：ボイスコイルモータ（VCM）

22：スピンドルモータ

24：MPU

26：EPROM

28：DRRM

30：インタフェース回路

31：キャッシュコントローラ

32：バッファメモリ

33：キャッシュメモリ

34：PWM回路

36, 40：ドライバ

38：DAコンバータ

42：AGCアンプ

44：イコライザ回路

46：最尤回路

48：VFO回路

50：エンコーダ/デコーダ

52：ハードディスクコントローラ

54：ピークホールド回路

55：ADコンバータ

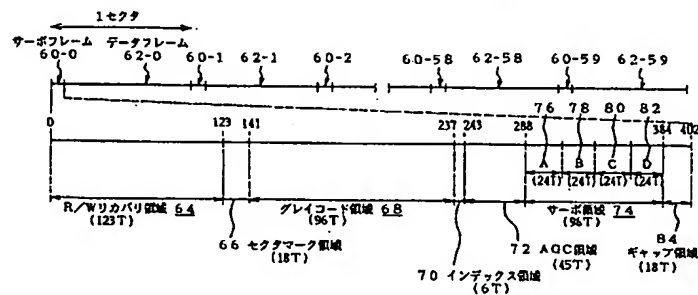
56: サーボフレーム復調回路  
 58: MPUバス  
 60-0~60-59: サーボフレーム  
 62-0~62-59: データフレーム  
 64: R/Wリカバリ領域  
 66: セクタマーク領域  
 68: グレーコード領域  
 70: インデックス領域  
 72: AGC領域  
 74: サーボ領域  
 76: 第1フィールド(A)  
 78: 第2フィールド(B)  
 80: 第3フィールド(C)  
 82: 第4フィールド(D)  
 84: ギャップ領域(パッド領域)  
 86, 88: ダミー領域  
 90: ピーク検出回路  
 92: 極性検出回路  
 94: 同期化回路  
 96: セクタマーク検出回路  
 98: グレーコード検出回路  
 100: セクタパルス発生回路  
 102, 112: シーケンスラッチ回路  
 104, 106, 108, 110: ピークパターン比較

部

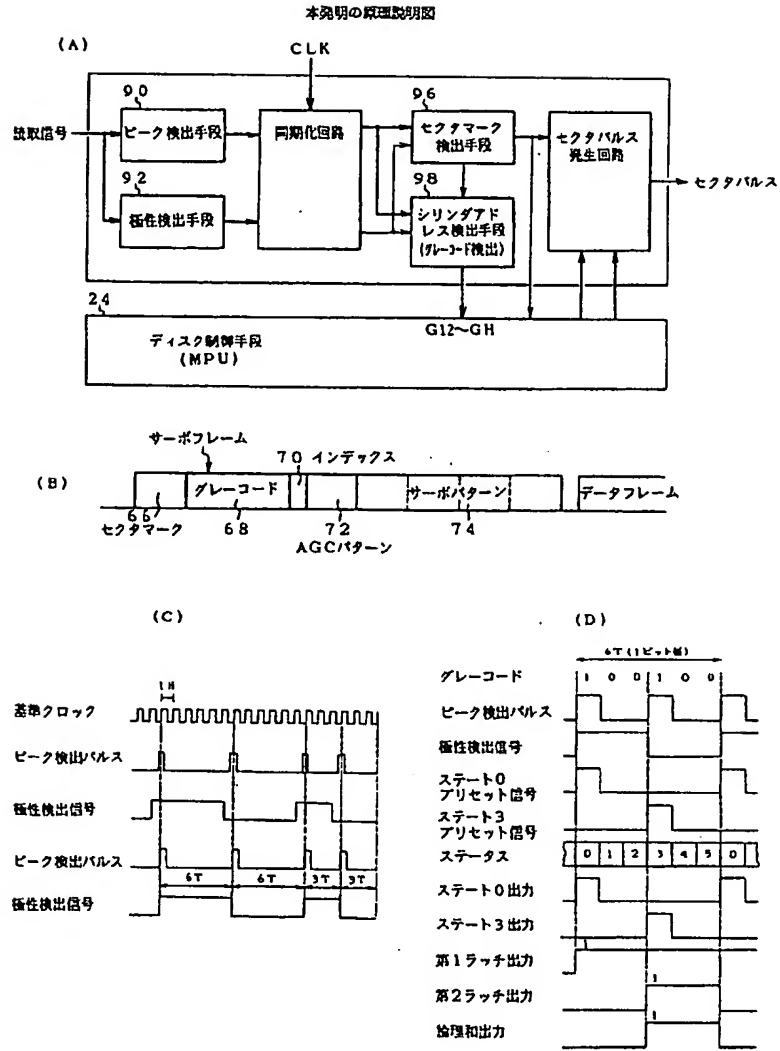
114, 116, 118, 120: 極性パターン比較部  
 122, 124, 126, 128, 144, 146, 152, 154, 158, 162: AND回路  
 130: 制御レジスタ  
 138: ステータスカウンタ  
 140, 142: プリセットレジスタ  
 148, 168: 反転回路  
 150, 156, 166: OR回路  
 160: 164: ラッチ回路  
 170: シフトレジスタ  
 184: ヘッド位置決め制御部  
 185: ヘッド位置検出部  
 186: 目標位置設定部  
 188, 190: 加算点  
 192: 電流指示部  
 194: RAM補正テーブル  
 196: レジスタ  
 198: 補正值更新部  
 214: カウンタ  
 216, 218, 220: 制御レジスタ  
 222: セレクト回路  
 224: 一致検出回路  
 226: パルス発生回路

【図3】

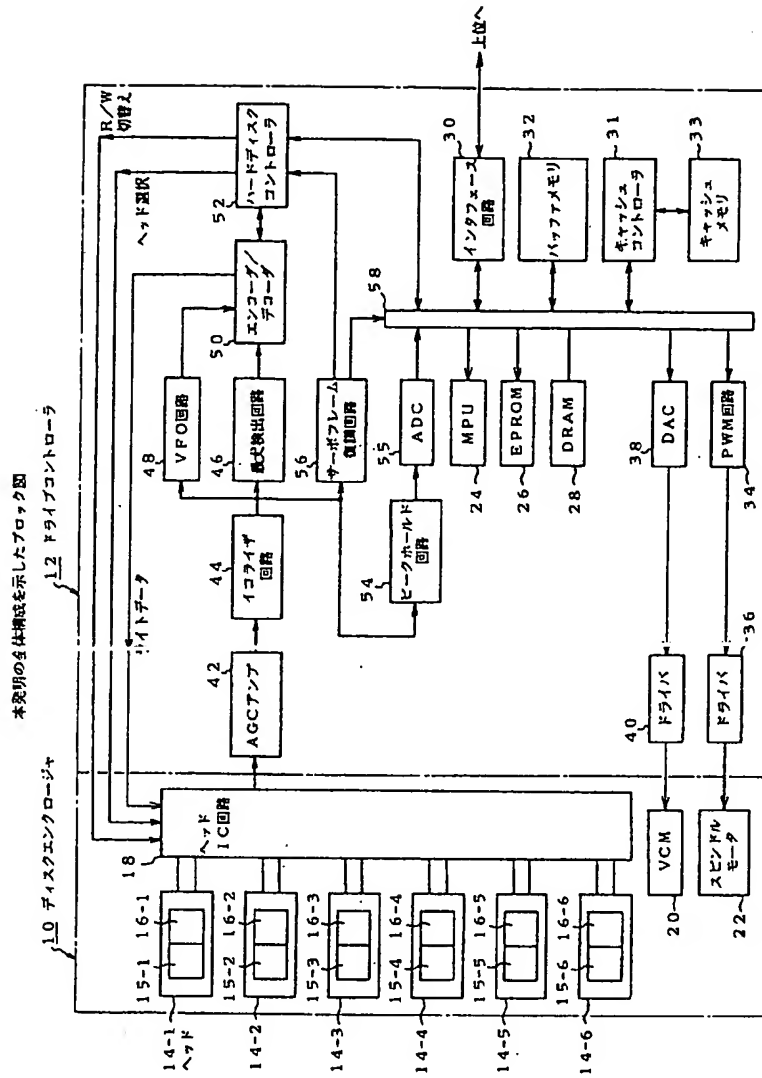
本発明のサーボフレームのフォーマット説明図



【図1】

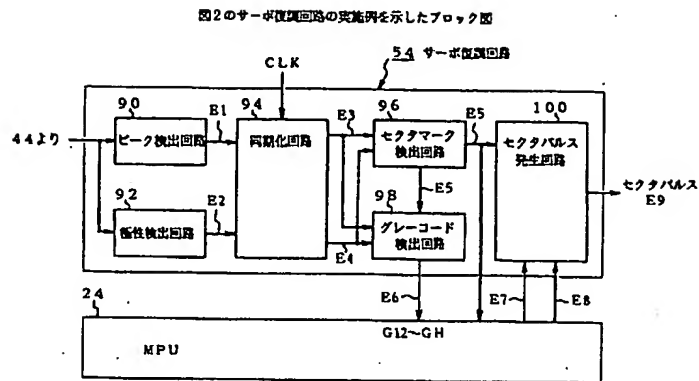


【図2】





【図6】



【図8】

【図9】

図7のピークパターン比較部の実施例を示したブロック図

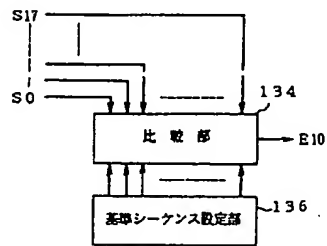


図6のピークパターン比較部に設定する基準シーケンスのパターンを示した説明図

(A)		(B)	
パルス状態	ピークパターン	A	1T
正常パルス	$C \Rightarrow C \Rightarrow B \Rightarrow \bar{A}$	B	2T~4T
第1パルス抜け	$D \Rightarrow C \Rightarrow B \Rightarrow \bar{A}$	C	5T~7T
第2パルス抜け	$E \Rightarrow B \Rightarrow \bar{A}$	D	8T~10T
第3パルス抜け	$C \Rightarrow D \Rightarrow \bar{A}$	E	11T~13T
第4パルス抜け	$B \Rightarrow B \Rightarrow \bar{A} \cdot \bar{B}$	F	14T~

$\bar{A}$ は、Aの条件以外を示す。  
 $\bar{A} \cdot \bar{B}$ は、AとBの条件以外を示す。

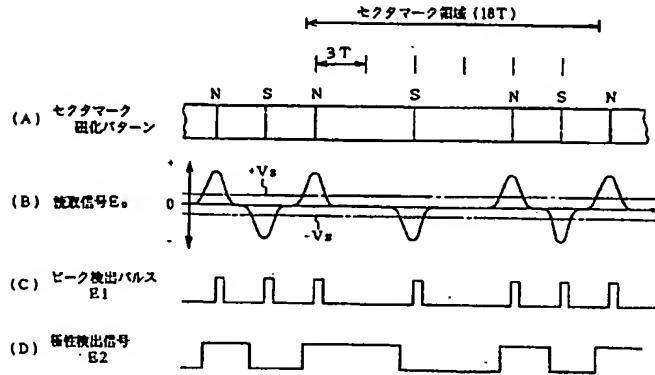
【図10】

図6の極性パターン比較部に設定する基準シーケンスのパターンを示した説明図

パルス状態	極性パターン
正常パルス	+ → + → + → +
第1パルス抜け	→ → + → +
第2パルス抜け	+ → + → +
第3パルス抜け	+ → → → +
第4パルス抜け	+ → → +

【図11】

図6におけるセクタマーク読取信号から検出するピーク検出パルス及び極性信号を示したタイミングチャート



【図21】

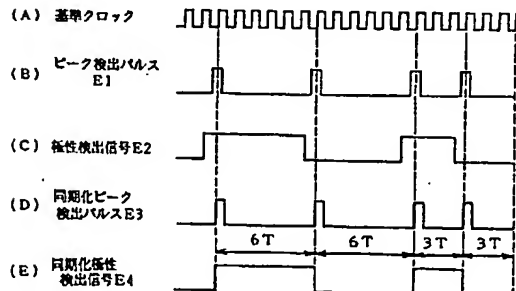
偏心補正値を格納したRAM補正テーブルの説明図

セクタ番号	補正値
0	$X_0$
1	$X_1$
2	$X_2$
3	$X_3$
...	...
58	$X_{58}$
59	$X_{59}$

192

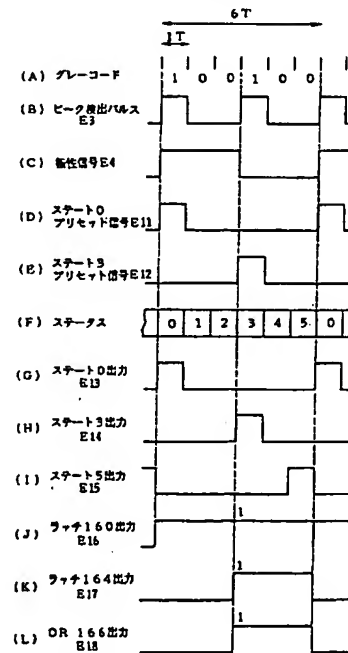
【図12】

図6におけるセクタマーク読取信号に対するピーク検出パルス及び極性信号の同期化を示したタイミングチャート



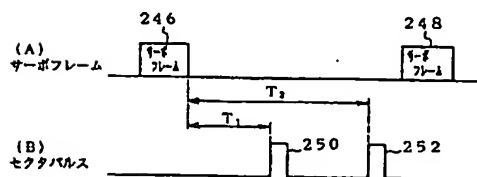
【図15】

正常読取時のグレーコード検出を示したタイミングチャート

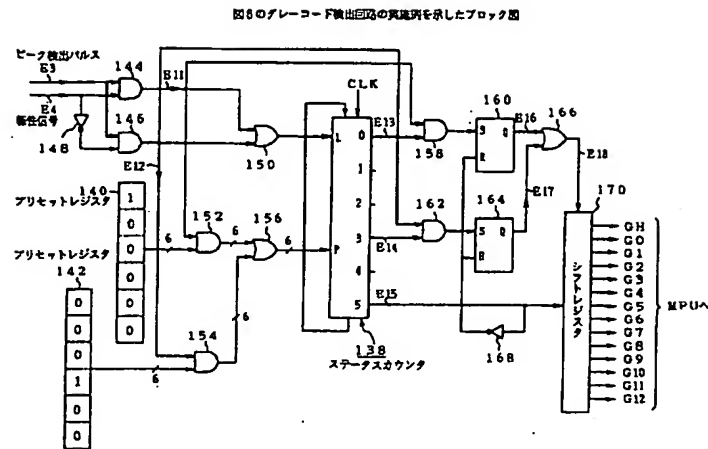


【図25】

図24によるセクタパルスの発生制御の説明図



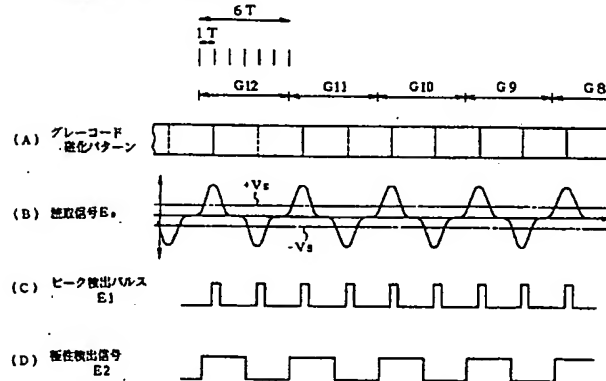
【図13】



【図14】

【図23】

図13の実施例におけるグレーコード検出回路から出力される検出信号のタイミングチャート



【図26】

データスプリットののためのセクタパルスの発生を示したタイミングチャート

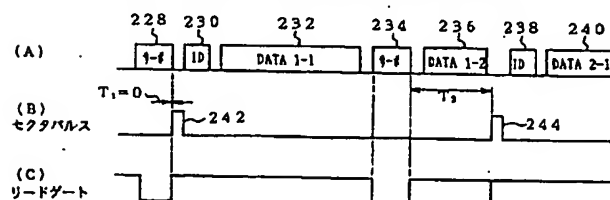
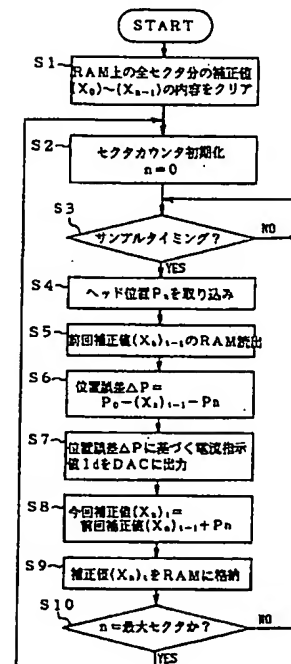


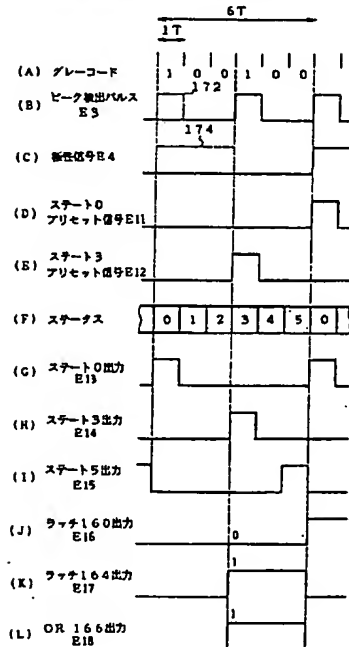
図20の偏心測定と補正処理を示したフローチャート



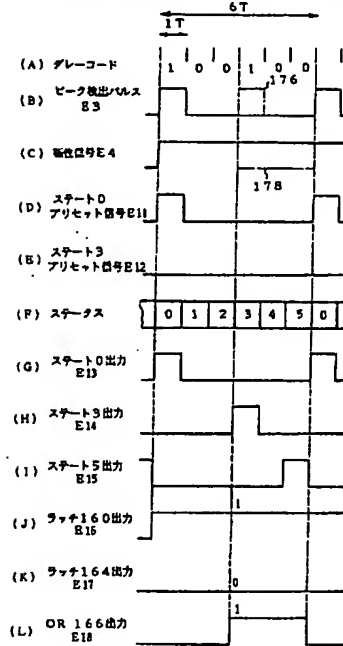
【図 16】

【図 17】

スタート0の2進符号欠陥のグレーコード検出を示したタイミングチャート



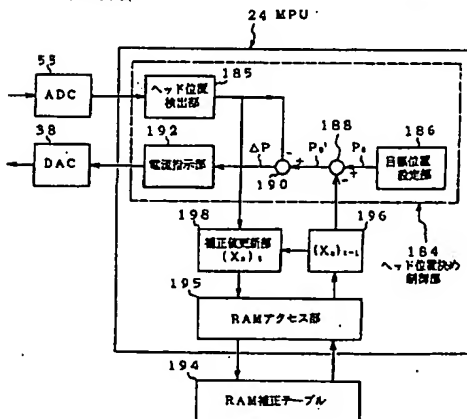
ステート 8 の読取信号入路時のグレーコード検出を示したタイミングチャート



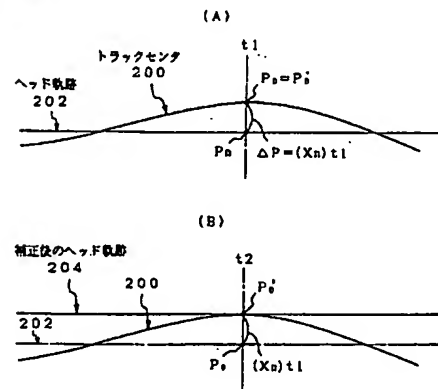
【図20】

【图 2 2】

オントラック時にリアルタイムで偏心を測定して修正する本発明の実態例を示したブロック図

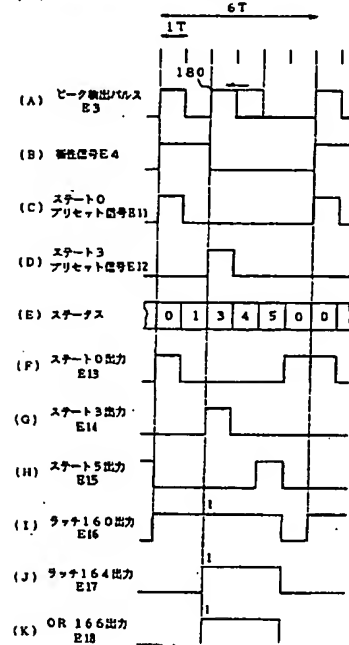


ヘッド軌跡とトラックセンタについてリアルタイム偏心測定と校正の様子を示した説明図



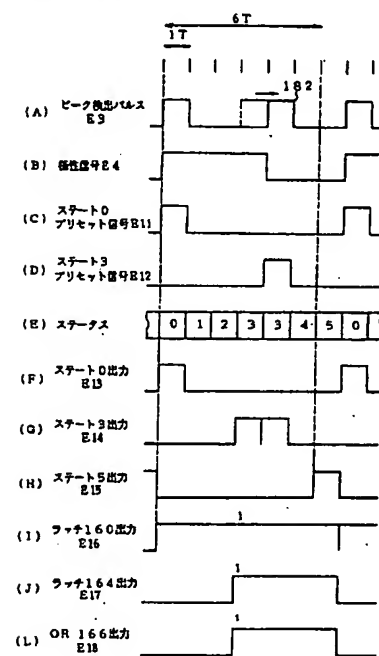
【図18】

読取信号に遅れ位置シフトが起きた時のグレーコード検出を示したタイミングチャート



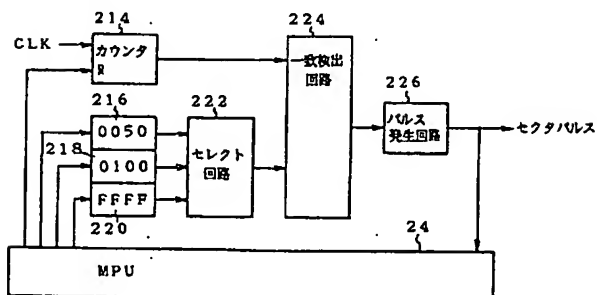
【図19】

読取信号に遅れ位置シフトが起きた時のグレーコード検出を示したタイミングチャート



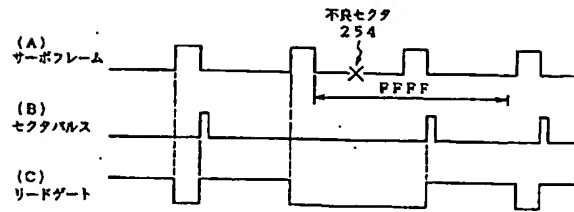
【図24】

可変セクタサイズとなるようにセクタパルスを発生する本発明の実施例を示したブロック図



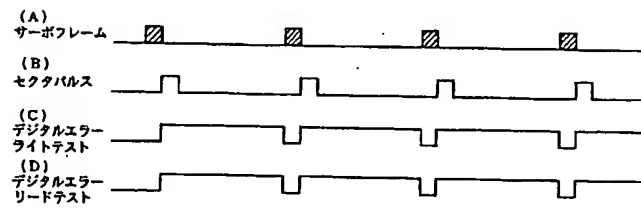
【図27】

不良セクタのスリップ処理に用いるセクタパルスの発生を示したタイミングチャート



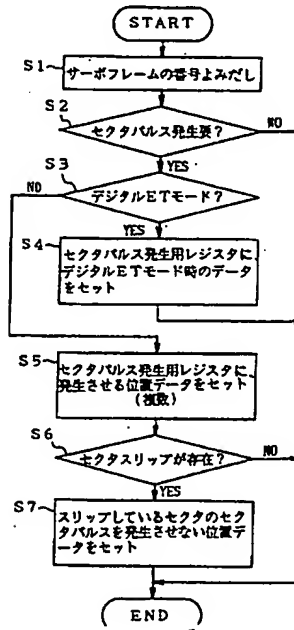
【図28】

デジタル・エラー・テスト時のセクタパルスの発生を示したタイミングチャート



【図29】

図24のセクタパルスの発生処理を示したフローチャート



## フロントページの続き

(72)発明者 高橋 栄作

山形県東根市大字東根元東根字大森5400番  
2 (番地なし) 株式会社山形富士通内

(72)発明者 東海林 隆史

山形県東根市大字東根元東根字大森5400番  
2 (番地なし) 株式会社山形富士通内

(72)発明者 須田 熙

山形県東根市大字東根元東根字大森5400番  
2 (番地なし) 株式会社山形富士通内

(72)発明者 岡村 榮治

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 五福 達哉

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 小野 智宏

山形県東根市大字東根元東根字大森5400番  
2 (番地なし) 株式会社山形富士通内

Fターム(参考) 5D088 BB11

5D096 AA02 CC01 EE03 FF02 FF06

GG07 KK01